

SEMICONDUCTOR MEMORY DEVICE

Publication number: JP10134593

Publication date: 1998-05-22

Inventor: HOTTA YASUHIRO; KAWACHI SHUICHIRO

Applicant: SHARP KK

Classification:

- international: G11C16/06; G11C7/00; G11C29/00; G11C29/04;
G11C16/06; G11C7/00; G11C29/00; G11C29/04; (IPC1-7): G11C29/00; G11C7/00; G11C16/06

- european: G11C29/00R

Application number: JP19960282767 19961024

Priority number(s): JP19960282767 19961024

Also published as:

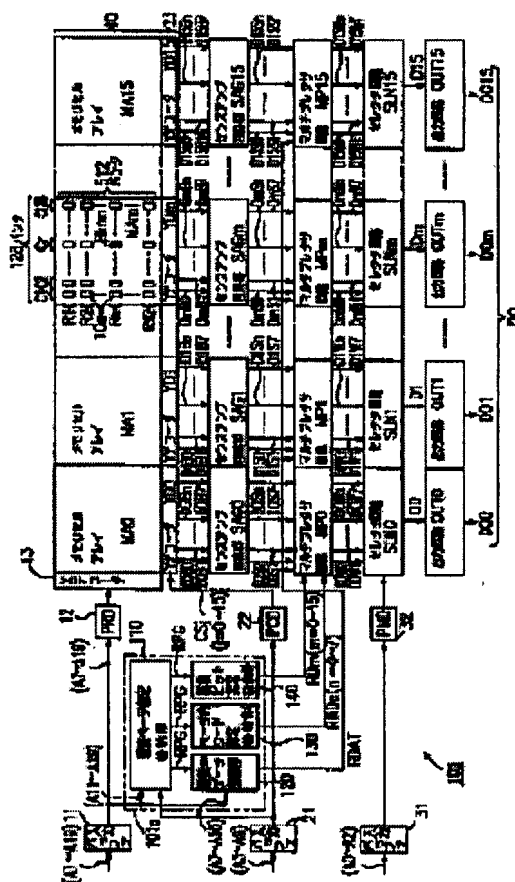


US6040999 (A1)

Report a data error here

Abstract of JP10134593

PROBLEM TO BE SOLVED: To perform the relief processing of the memory data of defective memory cells in a multiplexer circuit having a page mode without the delay of an access time in a high speed reading mode. **SOLUTION:** While predetermined page data in the respective memory cell arrays MAm of a main memory part 10 are read out to corresponding sensing amplifier circuit groups SAGm at the time of random access, substituting cell data RDAM corresponding to the defective words (cell data of defective memory cells) are read out to corresponding multiplexer circuits MPm. When the outputs of the sensing amplifier circuit groups SAGm are determined, the defective words are substituted by the substituting cell data by the multiplexer circuits MPm in accordance with data from substituting word selection lines RWDn and substituting bit selection lines RDM. The page data subjected to the substituting process are outputted to corresponding selector circuits SLNm.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-134593

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.⁶

G 1 1 C 29/00

7/00

16/06

識別記号

6 0 3

3 1 2

F I

G 1 1 C 29/00

7/00

17/00

6 0 3 C

3 1 2 C

6 3 9 B

審査請求 未請求 請求項の数10 O L (全 32 頁)

(21) 出願番号

特願平8-282767

(22) 出願日

平成8年(1996)10月24日

(71) 出願人 000003049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 堀田 泰裕

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 河内 修一郎

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

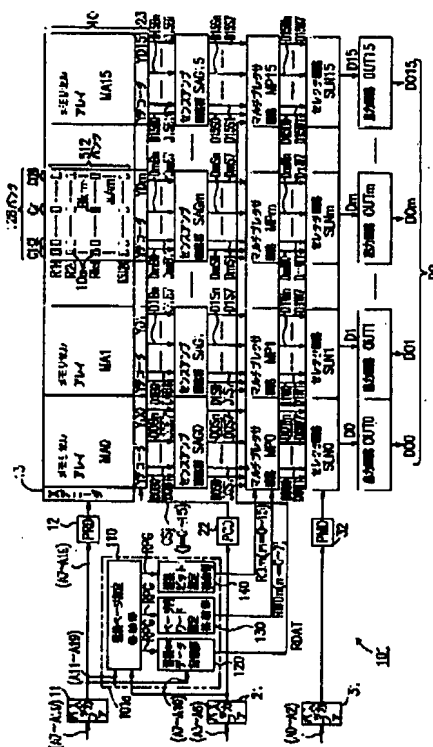
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 ページモードを有するマルチプレクサ回路101において、高速読み出しモードにてアクセスタイムの遅れを招くことなく欠陥メモリセルに対する記憶データの救済処理を行う。

【解決手段】 ランダムアクセス時に、主メモリ部10の各メモリセルアレイMAmにおける所定のページデータを、対応するセンスアンプ回路群SAGmまで読み出す間に、上記所定のページデータの欠陥ワード(欠陥メモリセルのセルデータ)に対応する置換セルデータRDAMを、対応するマルチプレクサ回路MPmまで読み出し、上記センスアンプ回路群SAGmの出力が確定した時点で、該マルチプレクサ回路MPmにて置換ワード選択線RWDn及び置換ビット選択線RDmからのデータに基づいて欠陥ワードを置換セルデータに置き換え、置換処理を施したページデータを、対応するセクタ回路SLNmに出力するようにした。



【特許請求の範囲】

【請求項1】 複数のメモリセルをマトリクス状に配置してなり、データを記憶する主メモリ部と、
該主メモリ部における所定のメモリセルのセルデータと置換すべき置換セルデータが記憶される置換セルデータ記憶部、及び入力アドレスに基づいてデータ置換のための制御信号を発生する制御信号発生部を有する冗長メモリ部と、
該入力アドレスに基づいて同時に所定数のメモリセルを、該主メモリ部の所定のページに対応する複数のメモリセルとして選択するメモリセル選択手段と、
該選択された複数のアドレス分に相当するメモリセルのセルデータをページデータとして同時にセンスするセンスアンプ手段と、
該冗長メモリ部からの置換セルデータ及び制御信号を受けるとともに、該センスアンプ手段からのページデータを受け、該制御信号に基づいて、該ページデータに置き換えの必要なセルデータが含まれている場合は、該当するセルデータを該置換セルデータと置き換えた置換ページデータを出力し、該センスアンプ手段からのページデータに置き換えの必要なセルデータが含まれていない場合は、該センスアンプ手段の出力であるページデータをそのまま出力するデータ置換手段と、
該データ置換手段から出力されるページデータより該入力アドレスに基づいて順次切り換えて対応するデータを出力するデータ選択手段とを備え、
該冗長メモリ部から該データ置換手段への置換セルデータ及び制御信号の供給は、該入力アドレスの確定タイミングから、該センスアンプ手段の出力であるページデータの確定タイミングまでの間に行われるよう構成した半導体記憶装置。

【請求項2】 請求項1記載の半導体記憶装置において、
前記主メモリ部は、
セルデータが読み出される際のメモリ領域の単位となる、所定数のメモリセルが含まれる複数のバンク領域に区分されており、
前記冗長メモリ部の置換セルデータ記憶部は、
置換対象となるメモリセルの属する置換対象バンク領域内のすべてのメモリセルに対応する置換セルデータが含まれるよう、該バンク領域単位をもって該置換セルデータを記憶したものであり、
該冗長メモリ部の制御信号発生部は、
前記入力アドレスに基づいて、マトリクス配置の同時に選択された複数のメモリセルの行と、該置換対象となるメモリセルの属する置換対象バンク領域とが重なるか否かを判定する判定手段を有し、該選択されたメモリセルの行と該置換対象バンク領域とが重なるとき、前記データ置換手段を、該記憶データと置換セルデータとの置き換えが行われるよう制御する構成となっている半導体記

憶装置。

【請求項3】 請求項1または2記載の半導体記憶装置において、
前記冗長メモリ部の制御信号発生部は、
前記主メモリ部における置換対象となるメモリセルが含まれる置換対象ページを指定するためのページ指定アドレスを記憶する置換ページ指定格納部を有し、前記入力アドレスのページ指定部分が該ページ指定アドレスと一致したとき、前記データ置換手段を、該記憶データと置換セルデータとの置き換えが行われるよう制御する構成となっている半導体記憶装置。

【請求項4】 請求項3記載の半導体記憶装置において、
前記主メモリ部は、
複数ビットのデータが記憶可能となるよう、該データの各ビットに対応する、それぞれメモリセルがマトリクス状に配列されている複数のメモリセルアレイを有しており、
前記メモリセル選択手段は、
該データの各ビットに対応させて設けられ、対応するメモリセルアレイにおける1つのページを構成するメモリセルの属する列を同時選択する複数の列選択手段を有し、
前記センスアンプ手段は、
該データの各ビットに対応させて設けられ、対応する列選択手段により選択された複数のメモリセルのセルデータをページデータとして同時にセンスする、複数のセンスアンプからなる複数のセンスアンプ回路群から構成されており、
前記データ置換手段は、
該データの各ビットに対応させて設けられ、前記制御信号に基づいて、対応するセンスアンプ回路群からの出力であるページデータに対して、必要に応じてデータ置換処理を行う複数の置換回路から構成されており、
前記データ選択手段は、
該データの各ビットに対応させて設けられ、該入力アドレスに基づいて、対応する置換回路から出力されるページデータにおける、個々のメモリセルに対応する記憶データを順次切り換えて出力する複数の選択回路から構成されており、
前記冗長メモリ部の制御信号発生部は、
前記置換ページ指定格納部に加えて、置換対象ページにおける置換対象となるメモリセルを指定するページ内ワード指定アドレスを記憶するページ内ワード指定格納部と、該主メモリ部から読み出される複数ビットのデータにおける置換対象となる置換ビットを指定する置換ビット指定データを記憶する置換ビット指定格納部とを有し、前記入力アドレスのページ指定部分が、該置換ページ指定格納部に記憶されているページ指定アドレスと一致したとき、該ページ内ワード指定アドレス及び該置換

ビット指定データを該各置換回路に出力する構成となっている半導体記憶装置。

【請求項5】 請求項4記載の半導体記憶装置において、
前記置換ページ指定格納部は、1つのページ指定アドレスを記憶するページ指定記憶回路を複数有するものであり、
前記ページ内ワード指定格納部は、1つのページ内ワード指定アドレスを記憶するページ内ワード指定記憶回路を複数有するものであり、
前記置換ビット指定格納部は、1つの置換ビット指定データを記憶する置換ビット指定格納回路を複数有するものであり、
前記置換セルデータ記憶部は、1つの置換セルデータを記憶する置換セルデータ記憶回路を複数有するものであり、
前記データ置換手段は、
該ページ内ワード指定アドレス及び置換ビット指定データに基づいて、複数のページデータに対するセルデータの置き換えを可能な構成としたものである半導体記憶装置。

【請求項6】 請求項4記載の半導体記憶装置において、
前記データ置換手段は、
前記複数ビットのデータの各ビット毎に設けられた、前記制御信号に基づいて、対応するセンスアンプ回路群からの出力であるページデータに対して、必要に応じてデータ置換処理を行う複数の置換回路からなるマルチプレクサ回路である半導体記憶装置。

【請求項7】 請求項4ないし6のいずれかに記載の半導体記憶装置において、
前記各置換回路は、
前記対応するセンスアンプ回路群から出力されたページデータと、前記置換セルデータ記憶部に記憶されている置換セルデータとを入力とし、前記ページ内ワード指定アドレス及び置換ビット指定データがアクティブであるとき、該センスアンプ回路群からのページデータを構成する各メモリセルのセルデータを、該置換セルデータ記憶部における置換セルデータに書き換え、前記ページ内ワード指定アドレス及び置換ビット指定データが非アクティブであるとき、該センスアンプ回路群からのページデータをそのまま出力する構成となっている半導体記憶装置。

【請求項8】 請求項1ないし7のいずれかに記載の半導体記憶装置において、
1つの冗長メモリ部の置換ページ指定格納部は、置換ページ指定アドレスが1つだけ記憶されるよう構成されている半導体記憶装置。

【請求項9】 請求項1ないし8のいずれかに記載の半導体記憶装置において、

前記冗長回路部を複数備え、所定のセンスアンプ回路群から読み出される1つのページデータにおける複数のメモリセルのセルデータを、少なくとも2つ以上書き換え可能に構成した半導体記憶装置。

【請求項10】 請求項2ないし9のいずれかに記載の半導体記憶装置において、

前記各バンク領域におけるメモリセル群は、
前記ページを構成するメモリセルの配列方向と直交する方向に列に並ぶ複数のメモリセルから構成されている半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関し、特に冗長救済方式を採用した高速読み出しモードを有する半導体記憶装置において、高速読み出しモードにてアクセスタイムの遅れを招くことなく欠陥メモリセルに対するデータの救済処理を可能としたものに関する。

【0002】

【従来の技術】近年のマイクロプロセッサの高速化に伴い、半導体記憶装置に対しても高速動作の要望が強まってきた。そこで、半導体記憶装置における通常のランダムアクセスの高速化を進める一方で、例えば、特開平8-63990号公報に開示されているように、ページモードと呼ばれる高速読み出しモードを有する半導体記憶装置の開発が行われている。

【0003】このページモードにおける読み出し動作では、入力アドレスにおける列アドレスと行アドレスとに応じてメモリセルアレイの複数のアドレス分に相当するメモリセルが同時に選択され、該選択された複数のメモリセルのセルデータが1ページ分のページデータとして同時にセンスアンプまで読み出される。そしてこのようにセンスアンプまで1ページ分のページデータが読み出された状態で、ページモード用アドレスの変化により、上記選択されたページデータより対応したアドレスのセルデータが高速に切り換えられて順次出力される。

【0004】なお、ページモード以外には、バーストモード、シリアルモード等と称される読み出しモードもあって、これらは、データ群を高速で読み出すと言う点で一致し、この発明の適用範囲に入る。

【0005】図12は、ページモードを搭載した従来の不揮発性メモリの構成を説明するためのブロック図であり、マスクROM（製造段階で記憶データが設定された読み出し専用メモリ）におけるページモード動作を行うための一般的な構成を示している。図13は、上記マスクROMの主メモリ部を構成するメモリセルアレイの1つの詳細な構成を示す図である。

【0006】図において、200は従来のページモードを有するマスクROMであり、入力アドレス信号A0～A19を受け、16ビットの出力データDOを出力する

構成となっている。このマスクROM200は、メモリセルMmijnがマトリクス状に配列された主メモリ部10を有しており、該主メモリ部10は、出力データDOの各ビットに対応するメモリセルアレイMA0, MA1, ..., MAm, ..., MA15に分割されており、各メモリセルアレイMA0~MA15からは、上記出力データDOの各ビットに対応する読出セルデータDO0, DO1, ..., DOm, ..., DO15が出力されるようになっている。

【0007】また、上記マスクROM200は、上記入力アドレス信号の行アドレス(A7~A19)に対応した行のメモリセルを選択する行選択手段と、入力アドレス信号の列アドレス(A3~A6)に対応した複数の列のメモリセルを選択する列選択手段とを有している。ここで、上記行選択手段は、上記行アドレス(A7~A19)を受ける入力バッファ11と、その出力に接続されたプリロウデコーダ(PRD)12と、該プリロウデコーダ12の出力に基づいて上記メモリセルアレイ10の行を選択するXデコーダ13とから構成されている。また、上記列選択手段は、上記列アドレス(A3~A6)を受ける入力バッファ21と、その出力に接続されたプリカラムデコーダ(PCD)22と、該プリカラムデコーダ22の出力により上記主メモリ部10の複数の列を選択するYデコーダ部23とから構成されている。

【0008】また、上記Yデコーダ部23は、上記各メモリセルアレイMA0~MA15に対応する複数のYデコーダYD0, YD1, ..., YDm, ..., YD15に分かれており、各YデコーダYD0~YD15からは、上記各メモリセルアレイMA0~MA15にて同時に選択された複数の列における所定行のメモリセルMmij0, Mmij1, ..., Mmijn, ..., Mmij7からの読出セルデータDmB0, DmB1, ..., DmBn, ..., DmB7 (m=0~15)が、ページデータとして出力されるようになっている。

【0009】上記各YデコーダYD0~YD15には、各メモリセルアレイMA0~MA15からの読出セルデータD0Bn~D15Bn (n: 0~7の整数)をセンスする、それぞれ複数個(8個)のセンスアンプからなるセンスアンプ回路群SAG0, SAG1, ..., SAGm, ..., SAG15が接続されている。これらのセンスアンプ回路群SAG0~SAG15のそれぞれには、その個々のセンスアンプからのセンスセルデータD0Sn~D15Sn (n: 0~7の整数)を、ページモード用アドレスA0~A2に基づくセンスアンプ選択信号Pn (n: 0~7の整数)により選択するセレクト回路SLN0, SLN1, ..., SLNm, ..., SLN15が接続されている。

【0010】ここで、上記セレクト回路SLN0~SLN15は、ページモードデコーダ(PMD)32からセンスアンプ選択信号Pn (n=0~7)を供給されるよ

うになっており、該ページモードデコーダ32は、上記ページ内アドレス(A0~A2)を入力バッファ31を介して受けるようになっている。

【0011】また、上記各セレクト回路SLN0~SLN15には、それぞれに対応する出力回路OUT0, OUT1, ..., OUTm, ..., OUT15が接続されており、各出力回路OUT0~OUT15は、該セレクト回路SLN0~SLN15により選択された選択セルデータD0~D15に増幅等の信号処理を施して、出力セルデータDO0~DO15として出力する構成となっている。

【0012】次に、上記メモリセルアレイMAm及びYデコーダYDmの具体的な構成について説明する。図13は、上記主メモリ部10を構成するメモリセルアレイMA0~MA15のうちのメモリセルアレイMAmの詳細な構成を示し、図14は、該メモリセルアレイMAmとともに、上記Yデコーダ部23を構成するYデコーダYD0~YD15のうちのYデコーダYDmについて、その構成を詳細に示している。

【0013】これらの図に示すように、メモリセルアレイMAmには、複数のメモリセルMmijnが、横方向に128個(8ワード×16ページ分に相当する個数)、縦方向に8192個(16行×512バンク分に相当する個数)マトリクス状に配列されている。このマスクROM200では、メモリセルアレイMAmは複数のバンク領域10aに区分され、該バンク領域10aは、縦方向に512個、横方向に128個並んでいる。さらに、各バンク領域10a内には、縦方向に連続して並ぶ16個のメモリセルが配置されている。また、横方向に一行に並ぶ複数のバンク領域10aの行(以下、バンク行という。)R1, R2, ..., Rk, ..., R512毎に、16本のワード線WL0~WL15が設けられており、各ワード線WLi (i=0~15の整数)はそれぞれ、該バンク領域10aにおける各メモリセルMmijn (i=0~15の整数)を構成するトランジスタ(メモリトランジスタ)のゲートに接続されている。

【0014】ここでは、横方向に隣接する2つのバンク領域10aの間には、これらに共通の拡散層からなる副グランド線SGが設けられ、該両バンク領域10aの両側には、該両バンク領域10aの各々に対応する、拡散層からなる副ビット線SB0, SB1が設けられている。また、縦方向に並ぶバンク領域10aの隣接する2列に共通して、金属層からなる主グランド線MGが設けられ、横方向に隣接する2つのバンク領域10aに共通の副グランド線SGが、グランド側バンク選択トランジスタTB1を介して主グランド線MGに接続されている。また、縦方向に並ぶバンク領域10aの隣接する2列の各列毎に、主ビット線MB0, MB1が設けられ、対応する列の各バンク領域10aの副ビット線SB0, SB1が、電源側バンク選択トランジスタTB0を介し

て、主ビット線MB0、MB1に接続されている。

【0015】そして、上記バンク選択トランジスタTB0、TB1のゲートには、バンク選択線BS0、BS1が接続されており、これらのバンク選択線BS0、BS1及び上記ワード線WL0～WL15は、上記Xデコーダ13により駆動されるようになっている。

【0016】また、上記縦方向に並ぶ複数のバンク領域10aの各列（以下バンク列という。）C1、C2、
 …、Cr、
 …、C128に対応する主ビット線MBは、隣接して並ぶ16本毎に、つまりバンク列の隣接する16列毎に、1つのグループを形成しており、各グループにおける第1～第16番目の主ビット線MBj（j=0～15の整数）はそれぞれ、プリカラムデコーダ22のカラム選択トランジスタTC0、TC1、
 …、TCj、
 …、TC15を介して、該プリカラムデコーダ22の上記各グループに対応する出力端子Y0、Y1、
 …、Yn、
 …、Y7に接続されている。上記カラム選択トランジスタTC0～TC15のゲートにはそれぞれ、カラム選択線CS0～CS15が接続されており、これらのカラム選択線CS0～CS15は、上記プリカラムデコーダ22により駆動されるようになっている。

【0017】このような構成により、Xデコーダ13により行アドレス（A7～A19）に基づいて、所定のバンク選択線BS0及びBS1及び所定のワード線WLiが選択されると、所定のバンク行Rkが選択されるとともに、該選択されたバンク行Rkに属する各バンク領域10aにおける所定行のメモリセルが選択される。さらに、プリカラムデコーダ22により列アドレス（A3～A6）に基づいて所定のカラム選択線CSjが選択されると、上記各グループにおける所定の主ビット線MBjが選択される。このようにして、上記行アドレス（A7～A19）及び列アドレス（A3～A6）により、YデコーダYDmからは、メモリセルアレイMAmにおけるメモリセルMmij0～Mmij7のデータが、1つのページデータ、つまり読出セルデータDmB0～DmB7としてセンスアンプ回路群SAGmに出力される。

【0018】なお、上記説明では、メモリセルアレイMAmと、これに対応するYデコーダYDmについて詳細な構成を示したが、その他のメモリセルアレイMA0、MA1、
 …及びこれらに対応するYデコーダYD0、YD1、
 …についても、上述したメモリセルアレイMAm及びYデコーダYDmと全く同様な構成となっている。

【0019】次に動作について説明する。図15は、ページモードでの読み出し動作の一例を説明するためのタイミング波形図である。上記マスクROM200では、時刻t0に入力アドレス（A0～A19）の入力が確定すると、所定のページアドレス（h番地）に対応するページP（h）のページデータが、読出セルデータDOB

n～D15Bn（n=0～7）として各センスアンプ回路群SAG0～SAG15に読み出される。この場合のメモリセルからのデータの読み出しは、通常のランダムアクセスモードにて行われる。

【0020】すなわち、まず、行アドレス（A7～A19）が確定すると、Xデコーダ13により、バンク行B1～B512の1つバンク行Bkを選択するバンク選択線BS0、BS1及び、1つのバンク行Bkにおけるワード線WL0～WL15のうちのいずれか1つのワード線WLiが駆動される。ここで上記バンク選択線BS0、BS1及びワード線WLiがアクティブ（“High”レベル）となる。

【0021】このとき、列アドレス（A3～A6）が確定すると、プリカラムデコーダ22により、カラム選択線CSQ～CS15の何れか1つのカラム選択線CSjが駆動されて、その信号レベルがアクティブ（“High”レベル）となり、該カラム選択線CSjを入力とするカラム選択トランジスタTCjが“ON”となる。これにより、所定のバンク行Bkに属するバンク領域10aにおけるメモリセルMmij0、Mmij1、
 …、Mmij7（m=0～15）が選択され、各メモリセルのセルデータがカラム選択トランジスタTCjを介して、センスアンプ回路群SAG0～SAG15に入力される。

【0022】次に、時刻t1に上記センスアンプ回路群SAG0～SAG15、つまりセンスアンプ回路群SAGm（m=0～15）からのセンスアンプ出力DmS0、DmS1、
 …、DmS7（m=0～15）が確定し、アドレス信号（A3～A19）により指定されたh番地のページデータPD（h）の読み出しを完了する。

【0023】そして、ページ内アドレス（A0～A2）に応じて、ページモードデコーダ回路32の出力信号P0、P1、
 …、P7の何れか1つのみがアクティブ（“High”レベル）となることにより、各セレクト回路SLNm（m=0～15）により、対応するセンスアンプ回路群SAGm（m=0～15）からのセンスアンプ出力DmS0～DmS7（m=0～15）の何れか1つのセンスアンプ出力DmSnが選択され、各ビットに対応する出力回路OUTm（m=0～15）の出力端子DOmに、h番地のページデータPD（h）における第1ワードW0、つまり各データビットに対応するメモリセルアレイMAm（m=0～15）におけるメモリセルMmij0のデータが出力される（時刻t2）。

【0024】その後、時刻t3にてページ内アドレス（A0～A2）が変化し始めると、各セレクト回路SLNmでは、センスアンプ出力DmSn（n=0～7）のデータが順次選択され、ページモードデコーダ回路31の出力信号P0～P7が確定すると（時刻t4）、上記各出力回路OUTmを介して出力端子DOmに、h番地のページデータPD（h）における第2ワードW1、つ

まり各データビットに対応するメモリセルアレイMAm ($m=0\sim15$)におけるメモリセルMmi1jのデータが出力される。

【0025】以後、ページ内アドレス(A0~A2)が変化してページモードデコーダ回路32からのセンスアンプ選択信号P0~P7が確定する度に、h番地のページデータPD(h)における第3ワードW2~第8ワードW7が、各出力回路OUTmの出力端子DOmに出力されることとなる。

【0026】このように、ランダムアクセスによりページデータが確定し、該ページデータの第1ワードが確定した後は、ページ内アドレス信号(A0~A2)の変化開始から所定時間(t_4-t_3)経過した時点で、高速読み出しが可能なページモードとなり、メモリセルのセルデータが高速で出力されることとなる。

【0027】そして、次にページアドレスA3~A19が変化すると、再びランダムアクセスモードにより(h+1番地)のページデータPD(h+1)がセンスアンプ回路群SAG0~SAG15に読み出され、このページデータPD(h+1)における第1ワードが確定した後は、高速読み出しが可能なページモードとなり、メモリセルのセルデータが高速で出力されることとなる。

【0028】以上説明したように、ページ指定アドレス信号、つまりページ間アドレス信号(A3~A19)が変化した場合は、出力端子DOm($m=0\sim15$)のデータが確定するまでには、主ビット線、センスアンプ回路群の出力及びセクタ回路の出力が確定する必要があるのに対して、ワード指定アドレス信号、つまりページ内アドレス(A0~A2)が変化した場合は、セクタ回路SLmの切り換えに要する時間のみで出力端子DOmのデータが確定する。

【0029】このため、ページモードを搭載したマスクROMでは、ページ内アドレスの変化に対しては高速読み出しが可能となり、読み出し動作の高速化を図ることができる。

【0030】ところで、マスクROMのような読み出し専用メモリでは、その製品歩留まりの向上を図るために冗長救済方式がすでに開発されており、例えば、特開平6-76591号公報には、この冗長救済方式を採用したマスクROMが開示されている。

【0031】このようなマスクROMは、データ用記憶素子を書き込み可能な構成とした冗長メモリセル群と、不良ビットを含む不良メモリセル群のアドレスを書込可能なアドレス用記憶素子からなる置換アドレス格納部とを備え、不良メモリセル群のアドレスを上記置換アドレス格納部に記憶し、不良メモリセル群を上記冗長メモリセル群に置き換えるようにしたものである。

【0032】図16は、上記冗長救済方式を採用した従来の不揮発性メモリの構成を説明するためのブロック図であり、このような読み出し専用メモリ(マスクROM)

M)の一般的な構成を示している。図17は、このマスクROMの主メモリ部を構成するメモリセルアレイの1つの詳細な構成を示す図である。

【0033】図において、300は従来の冗長救済方式を採用したマスクROMであり、図12~図14と同一符号は上記マスクROM200と同一のものを示している。このマスクROM300は、上記従来のページモードを有するマスクROM200と同様、入力アドレス信号(A0~A19)を受け、16ビットの出力データDOを出力する構成となっており、上記マスクROM200と同一構成の主メモリ部10を有している。

【0034】なお、上記メモリセルアレイMAmは、図17に示すように、上記マスクROM200と同一な構成となっている。簡単に説明すると、メモリセルアレイMAmには、複数のメモリセルMmitが、横方向に128個(128列分に相当する個数)、縦方向に8192個(16行×512バンク分に相当する個数)マトリクス状に配列されている。また、メモリセルアレイMAmは複数のバンク領域10aに区分され、該バンク領域10aは、縦方向に512個、横方向に128個並んでおり、各バンク領域10a内には、縦方向に連続して並ぶ16個のメモリセルが配置されている。

【0035】そして、この冗長救済方式を採用したマスクROM300では、上記主メモリ部10に加えて、不良ビットを含む不良メモリセル群に代わって、該不良メモリセル群に記憶されるべきデータを記憶する冗長回路部300aを有している。

【0036】この冗長回路部300aは、上記バンク領域10aを1単位として置換セルデータを格納する構成となっており、置換バンクアドレス、つまり不良メモリセルが含まれる置換対象バンク領域のアドレスを記憶する置換バンクアドレス格納部310と、置換対象バンク領域に含まれるメモリセルの個数に相当する数のデータを記憶可能な置換セルデータ記憶部320と、各ビットに対応するセンスアンプ回路からのセンスセルデータのうち置換すべきビットを指定する置換ビット指定データを記憶する置換ビット指定格納部330とから構成されている。

【0037】また、このマスクROM300は上記マスクROM200と同一構成の入力バッファ11、プリロウデコーダ12、及びXデコーダ13からなる行選択手段を有している。

【0038】また、このマスクROM300は、入力アドレス信号の列アドレス(A0~A6)に対応した列のメモリセルを選択する列選択手段を有している。この列選択手段は、上記列アドレス(A0~A6)を受ける入力バッファ21aと、その出力に接続されたプリカラムデコーダ(PCD)22aと、該プリカラムデコーダ22aの出力により上記主メモリ部10の複数(16ビット分)の列を選択するYデコーダ部23aとから構成さ

れている。

【0039】また、このYデコーダ部23aは、上記各メモリセルアレイMA0～MA15に対応する複数のYデコーダYd0, Yd1, . . . , Ydm, . . . , Yd15に分かれており、該各YデコーダYd0～Yd15からは、上記各メモリセルアレイMA0～MA15にて選択された1つの列における所定の行(i番目)のメモリセルMmitからの読出セルデータDmb(m: 0～15の整数)が、各ビットに対応する出力データとして読み出されるようになっている。

【0040】上記各YデコーダYd0～Yd15には、各メモリセルアレイMA0～MA15からの読出セルデータD0b～D15bをセンスするセンスアンプ回路SA0, SA1, . . . , SAm, . . . , SA15が接続されている。これらのセンスアンプ回路SA0～SA15のそれぞれには、置換ビット指定データに基づいて、その個々のセンスアンプからのセンスセルデータMDAT0～MDAT15と、冗長回路部300aからの置換セルデータRDATとのいずれかを選択するセクタ回路SL0, SL1, . . . , SLm, . . . , SL15が接続されている。

【0041】そして、上記各セクタ回路SL0～SL15には、それぞれに対応する出力回路OUT0, OUT1, . . . , OUTm, . . . , OUT15(以下、出力回路OUT0～OUT15とも記載する。)が接続されており、各出力回路OUT0～OUT15は、該セクタ回路SL0～SL15により選択された選択データD0～D15に増幅等の信号処理を施して、出力セルデータD00～D015として出力する構成となっている。

【0042】次に動作について説明する。このような冗長救済方式を採用したマスクROM300では、所定のメモリセルアレイMAmにおける所定のバンク領域内に欠陥メモリセルがある場合、まず、欠陥メモリセルが存在する置換対象となるバンク領域を指定するバンクアドレス(A0～A6, A11～A19)を置換バンクアドレス格納部310に記憶させておく。また、欠陥メモリセルが存在するメモリセルアレイが16ビットデータのどのビットに対応するかを示す、置換ビット指定データ(D0～D15)を置換セルデータビット記憶部330に記憶させておく。さらに、欠陥バンク領域における各メモリセルに記憶されるべきデータを、バンク領域内の位置(行方向の位置)に対応するアドレス(A7～A10)に応じて、置換セルデータ記憶部320に記憶させておく。

【0043】そして、このマスクROM300の読み出し時に、入力アドレス信号の行アドレス(A7～A19)に基づいて、所定のバンク選択線BS0, BS1がアクティブとなると、所定のバンク行Bkのバンク領域におけるバンク選択トランジスタTB0, TB1が導通

して、該バンク行Bkに属するバンク領域では、その内部のメモリセルMmitを構成するメモリトランジスタのソース及びドレインが副ビット線SB0, SB1、及び副グランド線SGを介して主ビット線MB0, MB1、及び主グランド線MGに接続されることとなる。また、これと同時に所定のワード線WLiがアクティブとなると、上記バンク行Bkのバンク領域におけるi番目の行のメモリセルが選択される。

【0044】そして、上記入力アドレス信号の列アドレス(A0～A6)に基づいて、YデコーダYdmにより、各メモリセルアレイMAmにて所定のバンク列Cr、つまりメモリセル列に対応する主ビット線が選択されると、各YデコーダYdmからは、各メモリセルアレイMAmにて選択されたメモリセルMmit(t=r)の情報がYデコーダDmbとして各ビットに対応するセンスアンプ回路SAmに読み出される。

【0045】このとき、各メモリセルアレイMAmにて選択されたバンク領域に欠陥メモリセルが無ければ、各ビットに対応するセクタ回路SLmでは、センスセルデータMDATmが選択されることとなり、これがセクタ出力Dmとして各ビットに対応する出力回路OUTmに供給され、さらに該出力回路OUTmから出力セルデータD0mとして、マスクROM300におけるセルデータが出力される。

【0046】一方、外部から与えられた入力アドレスが、置換バンクアドレス格納部310に記憶されているバンクアドレスに一致した場合には、対応する置換セルデータ記憶部320に記憶されているデータの内、アクティブとなったワード線に対応する位置の置換セルデータRDATが読み出され、上記各セクタ回路SLmに供給される。また、このとき、各セクタ回路SLmには、置換セルデータビット記憶部330から置換ビット指定データが供給される。これにより置換すべきビットに対応するセクタ回路SLmでは、これに対応するメモリセルアレイMAmからのセルデータMDATmを上記置換セルデータRDATに置き換えて出力回路OUTmに出力する。

【0047】この場合に、同時に読み出すデータD0～D15の内、mビット($0 \leq m < 16$)のいずれのビットの置換えも可能とするには、セクタ回路を、主メモリ部の各メモリセルアレイMAmからのセルデータMDATm(m=0～15の整数)と、置換セルデータRDATの切り換えが可能な構成とする必要がある。従って、セクタ回路群としては、複数ビット、例えばmビットのデータのどのビットのデータ置換も可能とするには、(m+1)ビットの多入力切り換え回路が必要になる。

【0048】このようなバンク領域に対応する副ビット線と、各バンク列に対応する主ビット線とを有する階層的な構造のメモリセルアレイでは、その内部における1

つの欠陥箇所、例えば欠陥メモリセルの発生により、該欠陥箇所が含まれるバンク領域の他のメモリセルの読み出しも困難となる。

【0049】従って、上記のように、バンク領域に含まれる、副ビット線及び副グランド線につながるメモリセル群を1単位として、欠陥の救済を行うことにより効率的に救済することができる。

【0050】なお、上記説明では、マスクROMとしてNOR型マスクROMについて説明したが、NAND型マスクROMである縦型のROMにおいても、バンク領域を一連の縦列する所定数のメモリセル群に対して設定することにより、同様の効果が得られる。

【0051】

【発明が解決しようとする課題】ところで、このようにページアクセスモードを有する読み出し専用メモリでは、ページアクセス時にはページアドレスの変化からセクタの切り換えに要する時間のみで出力が確定し、極めて高速な読み出しが可能である。しかし、このようなページモードを有するマスクROMに冗長回路方式を採用した場合、冗長データの読み出しには冗長メモリのアクセス時間及び切り換え回路の動作時間が必要になり、ページアクセス時間より長くなるため、ページアクセス時に冗長メモリの読み出しが生じると、アクセス時間が遅延される。

【0052】このようにページモード等の高速アクセスモードを有する不揮発性メモリにおいて、冗長回路を設けた場合、冗長データの読み出し及び置き換えに要するデータアクセスの遅延により、ページアクセス時のアクセスタイムの高速化が困難になる。

【0053】この発明は上記のような問題点を解決するためになされたもので、高速読み出しモードにてアクセスタイムの遅れを招くことなく欠陥メモリセルに対するデータの救済処理を行うことができる半導体記憶装置を得ることを目的とする。

【0054】

【課題を解決するための手段】この発明（請求項1）に係る半導体記憶装置は、複数のメモリセルをマトリクス状に配置してなり、データを記憶する主メモリ部と、該主メモリ部における所定のメモリセルのセルデータと置換すべき置換セルデータが記憶される置換セルデータ記憶部、及び入力アドレスに基づいてデータ置換のための制御信号を発生する制御信号発生部を有する冗長メモリ部と、該入力アドレスに基づいて同時に所定数のメモリセルを、該主メモリ部の所定のページに対応する複数のメモリセルとして選択するメモリセル選択手段と、該選択された複数のアドレス分に相当するメモリセルのセルデータをページデータとして同時にセンスするセンスアンプ手段とを備えている。

【0055】また、この半導体記憶装置は、該冗長メモリ部からの置換セルデータ及び制御信号を受けるととも

に、該センスアンプ手段からのページデータを受け、該制御信号に基づいて、該ページデータに置き換えの必要なセルデータが含まれている場合は、該当するセルデータを該置換セルデータと置き換えた置換ページデータを出力し、該センスアンプ手段からのページデータに置き換えの必要なセルデータが含まれていない場合は、該センスアンプ手段の出力であるページデータをそのまま出力するデータ置換手段と、該データ置換手段から出力されるページデータより該入力アドレスに基づいて順次切り換えて対応するデータを出力するデータ選択手段とを備えている。

【0056】そして、この半導体記憶装置は、該冗長メモリ部から該データ置換手段への置換セルデータ及び制御信号の供給は、該入力アドレスの確定タイミングから、該センスアンプ手段の出力であるページデータの確定タイミングまでの間に行われるよう構成されている。そのことにより上記目的が達成される。

【0057】この発明（請求項2）は、請求項1記載の半導体記憶装置において、前記主メモリ部を、セルデータが読み出される際のメモリ領域の単位となる、所定数のメモリセルが含まれる複数のバンク領域に区分された構成とし、前記冗長メモリ部の置換セルデータ記憶部を、置換対象となるメモリセルの属する置換対象バンク領域内のすべてのメモリセルに対応する置換セルデータが含まれるよう、該バンク領域単位でもって該置換セルデータを記憶するようにしたものである。また、この半導体記憶装置では、該冗長メモリ部の制御信号発生部は、前記入力アドレスに基づいて、マトリクス配置の同時に選択された複数のメモリセルの行と、該置換対象となるメモリセルの属する置換対象バンク領域とが重なるか否かを判定する判定手段を有し、該選択されたメモリセルの行と該置換対象バンク領域とが重なるとき、前記データ置換手段を、該セルデータと置換セルデータとの置き換えが行われるよう制御する構成となっている。

【0058】この発明（請求項3）は、請求項1または2記載の半導体記憶装置において、前記冗長メモリ部の制御信号発生部を、前記主メモリ部における置換対象となるメモリセルが含まれる置換対象ページを指定するためのページ指定アドレスを記憶する置換ページ指定格納部を有し、前記入力アドレスのページ指定部分が該ページ指定アドレスと一致したとき、前記データ置換手段を、該セルデータと置換セルデータとの置き換えが行われるよう制御する構成としたものである。

【0059】この発明（請求項4）は、請求項3記載の半導体記憶装置において、前記主メモリ部を、複数ビットのデータが記憶可能となるよう、該データの各ビットに対応する、それぞれメモリセルがマトリクス状に配列されている複数のメモリセルアレイを有するものとし、前記メモリセル選択手段を、該データの各ビットに対応させて設けられ、対応するメモリセルアレイにおける1

つのページを構成するメモリセルの属する列を同時選択する複数の列選択手段を有するものとしたものである。

【0060】また、この半導体記憶装置では、前記センスアンプ手段は、該データの各ビットに対応させて設けられ、対応する列選択手段により選択された複数のメモリセルのセルデータをページデータとして同時にセンスする、複数のセンスアンプからなる複数のセンスアンプ回路群から構成されている。前記データ置換手段は、該データの各ビットに対応させて設けられ、前記制御信号に基づいて、対応するセンスアンプ回路群からの出力であるページデータに対して、必要に応じてデータ置換処理を行う複数の置換回路から構成されている。前記データ選択手段は、該データの各ビットに対応させて設けられ、該入力アドレスに基づいて、対応する置換回路から出力されるページデータにおける、個々のメモリセルに対応するセルデータを順次切り換えて出力する複数の選択回路から構成されている。

【0061】さらに、前記冗長メモリ部の制御信号発生部は、前記置換ページ指定格納部に加えて、置換対象ページにおける置換対象となるメモリセルを指定するページ内ワード指定アドレスを記憶するページ内ワード指定格納部と、該主メモリ部から読み出される複数のビットのデータにおける置換対象となる置換ビットを指定する置換ビット指定データを記憶する置換ビット指定格納部とを有し、前記入力アドレスのページ指定部分が、該置換ページ指定格納部に記憶されているページ指定アドレスと一致したとき、該ページ内ワード指定アドレス及び該置換ビット指定データを該各置換回路に出力する構成となっている。

【0062】この発明（請求項5）は、請求項4記載の半導体記憶装置において、前記置換ページ指定格納部を、1つのページ指定アドレスを記憶するページ指定記憶回路を複数有するものとし、前記ページ内ワード指定格納部を、1つのページ内ワード指定アドレスを記憶するページ内ワード指定記憶回路を複数有するものとし、前記置換ビット指定格納部を、1つの置換ビット指定データを記憶する置換ビット指定格納回路を複数有するものとし、前記置換セルデータ記憶部を、1つの置換セルデータを記憶する置換セルデータ記憶回路を複数有するものとし、さらに、前記データ置換手段を、該ページ内ワード指定アドレス及び置換ビット指定データに基づいて、複数のページデータに対するセルデータの置き換えを可能な構成としたものである。

【0063】この発明（請求項6）は、請求項4記載の半導体記憶装置において、前記データ置換手段を、前記複数のビットのデータの各ビット毎に設けられた、前記制御信号に基づいて、対応するセンスアンプ回路群からの出力であるページデータに対して、必要に応じてデータ置換処理を行う複数の置換回路からなるマルチプレクサ回路としたものである。

【0064】この発明（請求項7）は、請求項4ないし6のいずれかに記載の半導体記憶装置において、前記各置換回路を、前記対応するセンスアンプ回路群から出力されたページデータと、前記置換セルデータ記憶部に記憶されている置換セルデータとを入力とし、前記ページ内ワード指定アドレス及び置換ビット指定データがアクティブであるとき、該センスアンプ回路群からのページデータを構成する各メモリセルのセルデータを、該置換セルデータ記憶部における置換セルデータに書き換え、前記ページ内ワード指定アドレス及び置換ビット指定データが非アクティブであるとき、該センスアンプ回路群からのページデータをそのまま出力する構成としたものである。

【0065】この発明（請求項8）は、請求項1ないし7のいずれかに記載の半導体記憶装置において、1つの冗長メモリ部の置換ページ指定格納部を、置換ページ指定アドレスが1つだけ記憶されるよう構成したものである。

【0066】この発明（請求項9）は、請求項1ないし8のいずれかに記載の半導体記憶装置において、前記冗長回路部を複数備え、所定のセンスアンプ回路群から読み出される1つのページデータにおける複数のメモリセルのセルデータを、少なくとも2つ以上書き換え可能に構成したものである。

【0067】この発明（請求項10）は、請求項2ないし9のいずれかに記載の半導体記憶装置において、前記各バンク領域におけるメモリセル群を、前記ページを構成するメモリセルの配列方向と直交する方向に一列に並ぶ複数のメモリセルから構成したものである。

【0068】以下、本発明の作用について説明する。

【0069】この発明（請求項1）においては、冗長メモリ部からデータ置換手段への置換セルデータ及び制御信号の供給が、入力アドレスの確定タイミングから、センスアンプ手段の出力であるページデータの確定タイミングまでの間に行われるよう構成したから、高速読み出しモードにてアクセスタイムの遅れを招くことなく欠陥メモリセルに対するデータの救済処理を行うことができる。この発明（請求項2）においては、主メモリ部を、セルデータが読み出される際のメモリ領域の単位となる複数のバンク領域に区分し、冗長メモリ部の置換セルデータ記憶部には、該バンク領域単位でもって置換セルデータを記憶するようにしたので、該バンク領域のメモリセルが対応する副ビット線に接続されている構成では、1つのメモリセルの欠陥により欠陥メモリセルと同じ副ビット線につながる他のメモリセルの読み出しが困難となることから、メモリセルアレイにおける欠陥部分の救済を効果的に行うことができる。

【0070】また、冗長メモリ部の制御信号発生部では、同時に選択された複数のメモリセルの行と、置換対象となるメモリセルの属する置換対象バンク領域との重

なりを判定して、データ置換手段でのセルデータと置換セルデータとの置き換えを制御するので、置換するか否かの判定がバンク領域単位で行われることとなり、置換するか否かの判定がメモリセル単位で行われる場合に比べてその判定に要する時間を短縮できる。

【0071】この発明（請求項3）においては、入力アドレスのページ指定部分が置換ページ指定格納部のページ指定アドレスと一致したとき、データ置換手段でのセルデータと置換セルデータとの置き換えが行われるようにしたので、入力アドレスの一部の判定により、置換を行うか否かの判定をすばやく行うことができる。

【0072】この発明（請求項4）においては、入力アドレスのページ指定部分が、置換ページ指定格納部に記憶されているページ指定アドレスと一致したとき、ページ内ワード指定アドレス及び置換ビット指定データを、出力データの各ビットに対応する複数の置換回路に出力するようにしたので、出力データのいずれのビットに対応するページデータについても、欠陥メモリセルのセルデータの置換も可能となる。

【0073】この発明（請求項5）においては、欠陥部分の救済を行うための冗長回路部を、置換ページ指定記憶回路、ページ内ワード指定記憶回路、置換ビット指定格納回路、及び置換セルデータ記憶回路をそれぞれ複数組有するものとしたので、各ビットに対応する複数のページデータに対するデータ置換処理を行うことができる。

【0074】この発明（請求項6）において、各ビットのページデータに対するデータ置換処理を行うデータ置換手段として、ページデータを構成する複数のセルデータの1つを置換セルデータに置き換える各ビットに対応する複数の置換回路からなるマルチプレクサ回路を用いたので、データ置換手段をコンパクトで簡単な回路構成により実現できる。

【0075】この発明（請求項7）においては、データ置換手段を構成する各置換回路を、ページ内ワード指定アドレス及び置換ビット指定データの信号レベルに応じて、セルデータの置換処理を行うようにしたので、所定のビットのページデータにおける所定のワードに対応する記憶データの置換を行うことができる。

【0076】この発明（請求項8）においては、1つの冗長メモリ部の置換ページ指定格納部を、置換ページ指定アドレスが1つだけ記憶されるよう構成したので、置換すべきメモリセルのアドレスの記憶容量を小さく抑えつつ、1つのページに属する複数のメモリセルのセルデータの置換が可能となる。

【0077】この発明（請求項9）においては、冗長回路部を複数備え、所定のセンスアンプ回路群から読み出される1つのページデータにおける複数のメモリセルのセルデータを、少なくとも2つ以上書き換え可能に構成したので、所定のビットに対応するページデータにおけ

る欠陥箇所（欠陥ワード）を少なくとも2つ救済できる。

【0078】この発明（請求項10）においては、各バンク領域におけるメモリセル群を、ページを構成するメモリセルの配列方向と直交する方向に一行に並ぶ複数のメモリセルから構成したので、メモリセルの行アドレスより情報量の少ないバンク領域の行アドレスと、メモリセルの列アドレスより情報量の少ないページ指定アドレスとに基づいて、置換セルデータ記憶部からの置換セルデータの読み出しを短時間で行うことができる。

【0079】

【発明の実施の形態】

（実施形態1）図1は、本発明の実施形態1による半導体記憶装置としてマスクROMを説明するためのブロック図であり、図2は、このマスクROMの主メモリ部を構成するメモリセルアレイの詳細な構成を示す図である。

【0080】図において、101は、冗長救済方式を採用したページモードを有する本実施形態1のマスクROMであり、入力アドレス信号（A0～A19）を受け、16ビットの出力データDOを出力する構成となっている。このマスクROM101は、従来のページモードを搭載したマスクROM200と同様、メモリセルMmijnがマトリクス状に配列された主メモリ部10を有しており、該主メモリ部10は、出力データDOの各ビットに対応するメモリセルアレイMA0～MA15に分割されており、各メモリセルアレイMA0～MA15からは、上記出力データDOの各ビットに対応するセルデータD00～D015が出力されるようになっている。

【0081】また、上記マスクROM101は、従来のマスクROM200と同一構成の行選択手段及び列選択手段を有している。つまり、該行選択手段は、入力アドレス信号の行アドレス（A7～A19）に対応した行のメモリセルを選択するものであり、該行アドレス（A7～A19）を受ける入力バッファ11と、その出力に接続されたプリロウデコーダ（PRD）12と、該プリロウデコーダ12の出力に基づいて上記主メモリ部10の行を選択するXデコーダ13とから構成されている。また、上記列選択手段は、上記入力アドレス信号の列アドレス（A3～A6）に対応した複数の列のメモリセルを選択するものであり、該列アドレス（A3～A6）を受ける入力バッファ21と、その出力に接続されたプリカラムデコーダ（PCD）22と、該プリカラムデコーダ22の出力により上記メモリセルアレイ10の複数の列を選択するYデコーダ部23とから構成されている。

【0082】また、上記Yデコーダ部23は、上記各メモリセルアレイMA0～MA15に対応する複数のYデコーダYD0～YD15からなり、各YデコーダYD0～YD15からは、上記各メモリセルアレイMA0～MA15にて同時に選択された同一行の複数の列における

メモリセルMmij0, Mmij1, . . . , Mmijn, . . . , Mmij7 (m: 0~15の整数) からの読出セルデータDmB0, DmB1, . . . , DmBn, . . . , DmB7 (m: 0~15の整数) が、例えばh番地のページP(h)のページデータPD(h)として出力されるようになっている。

【0083】上記各YデコーダYD0~YD15には、従来のマスクROM200と同様、各メモリセルアレイMA0~MA15からの読出データD0Bn~D15Bn (n: 0~7の整数) をセンスする、それぞれ複数個(8個)のセンスアンプからなるセンスアンプ回路群SAG0~SAG15が接続されている。

【0084】このように本実施形態のマスクROM101では、主メモリ部10、行選択手段、列選択手段、及びセンスアンプ回路群SAG0~SAG15は、従来のマスクROM200と同一の構成となっており、それぞれの具体的な構成についても全く同一となっている。

【0085】上記メモリセルアレイMAm及びYデコーダYDmについて簡単に説明すると、メモリセルアレイMAmは、複数のバンク領域10aに区分され、該バンク領域10aは、縦方向に512個、横方向に128個並んでいる。各バンク領域10a内には、縦方向に連続して並ぶ16個のメモリセルが配置されている。また、横方向に一列に並ぶ複数のバンク領域10aからなるバンク列Rk毎に、16本のワード線WL0~WL15が設けられており、各ワード線WLi (i: 0~15の整数) はそれぞれ、該バンク領域10aにおける各メモリセルMmijn (i: 0~15の整数) を構成するトランジスタ(メモリトランジスタ)のゲートに接続されている。

【0086】このメモリセルアレイMAmでは、各バンク領域10aに対応させて、拡散層からなる副ビット線SB0, SB1、及び副グランド線SGが設けられており、該バンク領域10a内のメモリトランジスタ(メモリセル)Mmijnのソース、ドレインが上記副ビット線及び副グランド線に接続されている。ここで、副ビット線は個々のバンク領域10a毎に設けられ、副グランド線は隣接する2つのバンク領域10a毎に設けられている。

【0087】また、縦方向に並ぶバンク領域10aがなす各バンク列Crに対応させて、金属層からなる主ビット線MB0, MB1、及び主グランド線MGが設けられており、対応するバンク列のバンク領域10aの副ビット線SB0, SB1がバンク選択トランジスタTB0を介して主ビット線MB0, MB1に接続され、対応するバンク列のバンク領域10aの副グランド線SGがバンク選択トランジスタTB1を介して主ビット線MGに接続されている。

【0088】そして、上記バンク選択トランジスタTB0, TB1のゲートには、バンク選択線BS0, BS1

が接続されており、これらのバンク選択線BS0, BS1及び上記ワード線WL0~WL15は、上記Xデコーダ13により駆動されるようになっている。

【0089】また、上記各バンク列に対応する主ビット線MBは、図14に示すように、バンク領域の16列毎に1つのグループを形成しており、各グループにおける第1~第16番目の主ビット線MBj (j: 0~15の整数) はそれぞれ、YデコーダYDmのカラム選択トランジスタTCj (j: 0~15の整数) を介して、該YデコーダYDmの、上記各グループに対応する出力端子Yj (j: 0~15の整数) に接続されている。上記カラム選択トランジスタTC0~TC15のゲートにはそれぞれ、カラム選択線CS0~CS15が接続されており、これらのカラム選択線CS0~CS15は、上記プリカラムデコーダ22により駆動されるようになっている。

【0090】このような構成により、Xデコーダ13により行アドレス(A7~A19)に基づいて、所定のバンク選択線BS0及びBS1及び所定のワード線WLiが選択されると、所定のバンク行Rkが選択され、該選択されたバンク行Rkの各バンク領域10aにおける所定行のメモリセルが選択される。さらに、プリカラムデコーダ22により列アドレス(A3~A6)に基づいて所定のカラム選択線CSjが選択されると、上記各グループにおける所定の主ビット線MBjが選択される。このようにして、上記行アドレス(A7~A19)及び列アドレス(A3~A6)により、各YデコーダYDmからは、各ビットに対応するメモリセルアレイMAmにおけるメモリセルMmij0~Mmij7のデータが、1つのページデータ、つまりデータDmB0~DmB7としてセンスアンプ回路群SAGmに出力される。

【0091】なお、上記説明では、メモリセルアレイMAmと、これに対応するYデコーダYDmとについて詳細な構成を示したが、その他のメモリセルアレイ及びこれらに対応するYデコーダについても、上述したメモリセルアレイMAm及びYデコーダYDmと全く同様な構成となっている。

【0092】また、本実施形態のマスクROM101は、欠陥メモリセルの救済を行うための冗長回路部(冗長メモリ部)101aを有している。この冗長回路部101aは、従来のマスクROM200と同様、上記バンク領域10aを1単位として置換セルデータを格納する構成となっている。

【0093】この冗長回路部101aは、不良メモリセルを含んだバンク領域に対応するページ(以下、置換対象ページともいう。)のアドレスを置換ページアドレスとして記憶し、入力アドレスと置換ページアドレスが一致したとき、置換対象ページを指定するページ指定アドレスを出力する置換ページ指定格納部110と、不良メモリセルが含まれる置換対象バンク領域のすべてのメモ

リセルに対応する置換セルデータを記憶する置換セルデータ記憶部120と、置換対象ページのページデータを構成するセルデータ(ワード)のうちの置換すべきワードを指定するページ内ワード指定アドレスを記憶するページ内ワード指定格納部130と、アクセスデータの各ビットに対応する複数のセンスアンプ回路群SAG_m ($m=0\sim15$)からのセンスセルデータDmS_x (DmS_x: DmS₀~DmS₇) ($m=0\sim15$)のうち置換すべきビットmを指定する置換ビット指定データを記憶する置換ビット指定格納部140とから構成されている。なお、これらの格納部や記憶部110, 120, 130, 140の詳細な回路構成については、図4, 図5, 図6, 図7にそれぞれ記載されており、後述することとする。

【0094】そして、本実施形態1のマスクROM101は、上述した各ビットのセンスアンプ回路群SAG₀, SAG₁, ..., SAG_m, ..., SAG₁₅に対応して設けられたマルチプレクサ回路MP₀, MP₁, ..., MP_m, ..., MP₁₅を有している。このマルチプレクサ回路MP₀~MP₁₅は、各センスアンプ回路群SAG₀~SAG₁₅からのセンスセルデータD0S_n~D15S_n ($n: 0\sim7$ の整数)と、上記冗長回路部101aの記憶部120からの置換セルデータRDATとをデータ入力とし、該冗長回路部101aの各格納部130, 140からのページ内ワード指定アドレスRWD_n, 置換ビット指定データRD_mに基づいて、置換対象ページデータにおける置換対象ワードを該置換セルデータRDATに置き換える信号処理を行うよう構成されている。

【0095】図3は上記マルチプレクサ回路の具体的な回路構成を説明するための図であり、例えば、マルチプレクサ回路MP_mは、図3(a)に示すように、センスアンプ回路群SAG_mからのセンスセルデータDmS_n ($n: 0\sim7$ の整数)と、冗長回路部101aからの置換セルデータRDATとの置き換えを行う複数の置換回路MPX_n ($n: 0\sim7$ の整数)から構成されている。

【0096】さらに、置換回路MPX_nは、図3(b)に示すように、その置換セルデータRDATの入力ノード150aとその出力ノード150cとの間に直列に接続された第1, 第2のN型MOSトランジスタ151a, 152aと、そのセンスセルデータDmS_nの入力ノード150bとその出力ノード150cとの間に並列に接続された第1, 第2のP型MOSトランジスタ151b, 152cとから構成されている。そしてこの置換回路MPX_nでは、上記第1のN型及びP型MOSトランジスタ151a, 151bのゲートには、上記置換ワード選択線RWD_nが、上記第2のN型及びP型MOSトランジスタ152a, 152bのゲートには、上記置換ビット選択線RD_nが接続されており、図3(c)の表に示すように、これらの選択線RWD_n及びRD_nの

信号レベルに基づいて、センスデータDmS_nをそのまま出力するか、これを置換セルデータRDATに置き換えて出力するかの切替が行われるようになっている。なお、図3(c)中、DmW_nは、マルチプレクサ回路MP_mの置換回路MPX_nの出力であり、“L”, “H”は、それぞれ選択線RWD_n及びRD_nの信号レベルがローレベル、ハイレベルであることを示し、“X”は、選択線RWD_n及びRD_nの信号レベルがいずれのレベルでもよいことを示している。

【0097】また、本実施形態のマスクROM101は、上記各ビットに対応したマルチプレクサ回路MP₀~MP₁₅の出力D0W_n~D15W_n ($n: 0\sim7$ の整数)を選択するセレクト回路SLN₀~SLN₁₅を有しており、上記各セレクト回路SLN₀~SLN₁₅には、それぞれに対応する出力回路OUT₀~OUT₁₅が接続されている。これらの各出力回路OUT₀~OUT₁₅は、該セレクト回路SLN₀~SLN₁₅により選択された選択データD₀~D₁₅に増幅等の信号処理を施して、出力セルデータDO₀~DO₁₅として出力する構成となっている。

【0098】続いて、上述した冗長回路部101aにおける格納部や記憶部110, 120, 130, 140の具体的な回路構成について説明する。

【0099】図4は上記置換ページ指定格納部110の具体的な回路構成を示す図である。この置換ページ指定格納部110は、入力アドレス信号のページ指定部分(A₃~A₆, A₁₁~A₁₉)を、これらの信号(A₃~A₆, A₁₁~A₁₉)とその反転信号(/A₃~/A₆, /A₁₁~/A₁₉)に対応する26個のページ判定信号P₁, P₂, ..., P_a ($a=26$)に変換するアドレスデコーダ110aと、該アドレスデコーダ110aの出力に基づいて、記憶している置換対象ページアドレスと入力アドレス信号におけるページ指定部分との一致判定を行う複数のページ記憶判定回路AM₁~AM_jとから構成されている。ここで、ページ記憶判定回路AM_jの個数jは、欠陥メモリセルの統計的な発生率等を参考にして決定するが、このような欠陥メモリセルの発生率が非常に小さい場合は、ページ記憶判定回路は1つだけでもよい。

【0100】例えば、ページ記憶判定回路AM_jは、内部信号ノード1cと電源との間に接続されたP型ドライブトランジスタ1aと、一端が接地された複数のN型スイッチトランジスタAS_{1j}, ..., AS_{aj} ($a=26$)と、該スイッチトランジスタAS_{1j}~AS_{aj}の他端と、上記内部信号ノード1cとの間に接続された複数のヒューズ素子AF_{1j}, ..., AF_{aj} ($a=26$)とを有している。

【0101】上記P型ドライブトランジスタ1aはそのゲートが接地され、常に導通状態となっており、また上記N型スイッチトランジスタAS_{1j}~AS_{aj}は、そ

それぞれのゲートには、上記ページ判定信号P1～Paが印加されるようになっている。

【0102】また、上記ページ記憶判定回路AMjの内部信号ノード1cには、直列接続の2段のインバータ回路からなる出力バッファ1bが接続されており、該出力バッファ1bを介して、ページ判定結果としてページ指定アドレスが置換ページ選択線RPGjに出力されるようになっている。

【0103】なお、ここでは、ページ記憶判定回路AMjについてその具体的構成を説明したが、他のページ記憶判定回路AM1、・・・も、図5に示すようにこれと全く同一の構成となっている。

【0104】次に、この置換ページ指定格納部110による置換対象ページアドレスの設定方法について簡単に説明する。

【0105】例えば、h番目のページP(h)を置換対象ページとする場合、置換対象ページアドレスとして置換ページ指定格納部110のページ記憶判定回路AMj(j=1)に記憶すべきデータが、A3(P1)=1、/A3(P2)=0、A4(P3)=0、/A4(P4)=1、・・・、A11(P9)=0、/A11(P10)=1、・・・、A19(P25)=0、/A19(P26)=1であるとする、該ページ記憶判定回路AMjのヒューズ素子AF1j～AFajの切断状態を、AF1j(切断)、AF2j(非切断)、AF3j(非切断)、AF4j(切断)、・・・、AF9j(非切断)、AF10j(切断)・・・、AF25j(非切断)、AF26j(切断)となるよう設定する。ここで、置換対象アドレス(A3～A6、A11～A19)は、1つのバンク領域と重なるページに対して共通するものである。なお上記ヒューズ素子の切断はレーザ光照射等による溶断により行う。

【0106】また、他のページP(h')やページP(h'')等を置換対象ページとしてページアドレスを記憶する場合は、上記ページ記憶判定回路AMj(j=1)とは別のページ記憶判定回路AMj(j=2)、AM(j=3)を用いて行う。

【0107】そして上記のように置換対象ページアドレスをページ記憶判定回路AMjに設定した場合、アドレスデコーダ110aの出力P1～Paが、上記格納部110のページ記憶判定回路AMjに記憶されている置換対象ページアドレスと一致したときは、いずれのスイッチトランジスタAS1j～ASajも非導通となり、該判定回路AMiの置換ページ選択線RPGjがアクティブとなる。つまり、該判定回路AMiから上記ページP(h)を指定するページ指定アドレスが出力される。

【0108】一方、アドレスデコーダ110aの出力P1～Paが、上記格納部110のページ記憶判定回路AMjに記憶されている置換対象ページアドレスと不一致であるときは、スイッチトランジスタAS1j～ASa

jの少なくとも1つが導通し、該回路の置換ページ選択線RPGjが非アクティブとなり、ページP(h)の選択は行われないうこととなる。また、アドレスデコーダ110aの出力が、上記格納部110のいずれのページ記憶判定回路AMjにおける置換対象ページアドレスとも一致しないときは、置換対象ページの指定は行われず、この場合は、センスアンプ回路群に読み出されたページデータには欠陥ワードが含まれていないので、データの置換は行われない。

【0109】次に上記置換セルデータ記憶部120の具体的回路構成について説明する。図5は上記置換セルデータ記憶部120の具体的な回路構成を示しており、この置換セルデータ記憶部120は、入力アドレス信号におけるバンク領域10a内の縦方向の位置、つまりバンク領域10a内のワード線Wiを指定する部分(A7～A10)を16個のバンク内位置指定信号Q1、・・・、Qb(b=16)に変換するアドレスデコーダ120aと、該アドレスデコーダ120aの出力及び上記置換ページ指定格納部110からのページ指定アドレスに基づいて、記憶している置換セルデータを出力ノード2cに出力する複数のデータ記憶回路DM1、・・・、DMjを有している。ここで、データ記憶回路DMjの個数jは、上記ページ記憶判定回路AMjの個数と同一とする。

【0110】また、上記出力ノード2cと電源との間にはP型ドライブトランジスタ2aが接続されており、このP型ドライブトランジスタ2aはそのゲートが接地され、常に導通状態となっている。該出力ノード2cには、直列接続の2段のインバータ回路からなる出力バッファ2bが接続されており、この出力バッファ2bを介して、上記各データ記憶回路DMjのデータが置換セルデータRDATとして出力されるようになっている。

【0111】そして、例えばデータ記憶回路DMjは、上記出力ノード2cと内部信号ノード2dとの間に接続され、そのゲートに上記ページ記憶判定回路AMjの置換ページ選択線RGPjを介して上記ページ指定アドレスRPGjが印加されるページ指定用のN型スイッチトランジスタSTjと、一端が接地された複数のワード線指定用のN型スイッチトランジスタDSj1、・・・、DSjb(b=16)と、該スイッチトランジスタDSj1～DSjbの他端と、上記内部信号ノード2dとの間に接続された複数のヒューズ素子DFj1、・・・、DFjb(b=16)とを有している。ここで上記スイッチトランジスタDSj1～BSjbは、それぞれのゲートには、上記アドレスデコーダ120aからのバンク内位置指定信号Q1～Qbが印加されるようになっている。

【0112】なお、ここでは、データ記憶回路BMjについてその具体的な構成を説明したが、他のデータ記憶回路DM1、・・・も、図5に示すようにこれと全く同

一の構成となっている。

【0113】次に、上記置換セルデータ記憶部120による置換セルデータの設定方法について簡単に説明する。

【0114】例えば、上記ページP(h)を構成する所定のメモリセルに欠陥がある場合、該ページP(h)の欠陥メモリセルが属するバンク領域を置換対象バンク領域とし、そのバンク領域10aに含まれるすべてのメモリセルに記憶させるべきデータを、置換セルデータとして、上記置換セルデータ記憶部120のデータ記憶回路DMj(j=1)に記憶させる。

【0115】例えば、上記置換対象バンク領域における、バンク内位置、つまりワード線WL0, WL1, ..., WL15の位置に対応するメモリセルのセルデータが、「1」、「0」、...,「0」である場合、ワード線WL0~WL15に対応するヒューズ素子DFj1~DFj16は、DFj1(切断)、DFj2(非切断)、..., DFj16(非切断)となるよう切断状態を設定する。この場合もヒューズ素子の切断は、レーザ光の照射等による溶断により行う。

【0116】このようにバンク領域単位で置換セルデータを記憶することにより、1つのバンク領域と重なるページ、つまりアドレス(A3~A6, A11~A19)が共通するページにおける所定番目のワードの置換を、上記1つのデータ記憶回路DMjのセルデータを用いて行うことができる。

【0117】つまり、上記ページP(h)とは異なるページであっても、このページP(h)に属するメモリセルの行と重なる(以下単にページと重なるという。)バンク領域内のメモリセルを含むページについては、上記と同様のデータ記憶回路DMjのセルデータを置換セルデータとして用いることができる。

【0118】そして、上記ページP(h)のバンク領域には重ならないページP(h'), P(h'')に欠陥メモリセルがある場合には、上記と同様にして、上記データ記憶回路DMj(j=1)とは別のデータ記憶回路DMj(j=2), DMj(j=3)に、上記ページP(h'), P(h'')と重なるバンク領域を置換対象バンク領域とし、それらに属するメモリセルに対応するデータを置換セルデータとして記憶する。なおここで、データ記憶回路DMj(j=1~16)を16個設けると、最大限、16個のバンク領域と重なるページについて、ページデータ内の欠陥ワードの救済が可能となる。

【0119】そして、上記アドレスデコーダ110aの出力が、上記格納部110のページ記憶判定回路AMjに記憶されている置換対象ページアドレスと一致し、置換ページ選択線RPGjからのページ指定アドレスにより、データ記憶回路DMjが指定された場合、バンク内行指定アドレス(A7~A10)に応じて、スイッチトランジスタDSj1~DSjbが導通することにより、

上記出力バッファ2bからは、該データ記憶回路DMjに記憶されている、置換対象バンク領域の上記置換対象ページと重なる部分のメモリセルに対する置換セルデータRDATが出力されることとなる。

【0120】次に、上記ページ内ワード指定格納部について説明する。図6は上記ページ内ワード指定格納部130の具体的な回路構成を示し、このページ内ワード指定格納部130は、上記置換ページ指定格納部110から置換ページ選択線RGP1~RGPjを介して供給されるページ指定アドレスに基づいて、記憶しているページ内ワード指定アドレス、つまり各置換対象ページデータにおける欠陥ワードを指定するためのデータを出力する複数のワード指定記憶回路WM1, ..., WMn(n=8)とから構成されている。

【0121】例えば、ワード指定記憶回路WMnは、内部信号ノード3cと電源との間に接続されたP型ドライブトランジスタ3aと、一端が接地された複数のN型スイッチトランジスタWS1n, ..., WSjn(nは8, jはページ記憶判定回路AMjの数)と、該スイッチトランジスタWS1n~WSjnの他端と、上記内部信号ノード1cとの間に接続された複数のヒューズ素子WF1n, ..., WFjn(nは8, jはページ記憶判定回路AMjの数)とを有している。

【0122】上記P型ドライブトランジスタ3aはそのゲートが接地され、常に導通状態となっており、また上記N型スイッチトランジスタWS1n~WSjnのゲートは上記置換ページ選択線RPG1~RPGjに接続されている。

【0123】また、上記ワード指定記憶回路WMnの内部信号ノード3cには、直列接続の2段のインバート回路からなる出力バッファ3bが接続されており、該出力バッファ3bを介して、ページ内ワード指定アドレスが置換ワード選択線RWDnに出力されるようになっている。

【0124】なお、ここでは、ワード指定記憶回路WMnについてその具体的構成を説明したが、他のワード指定記憶回路WM1, ..., も、図6に示すようにこれと全く同一の構成となっている。

【0125】次に、上記ページ内ワード指定格納部130によるページ内ワード指定アドレスの設定方法について簡単に説明する。

【0126】例えば、ページ記憶判定回路AMjに記憶した置換対象ページアドレスに対応するページデータにおける第1ワードが欠陥ワードである場合、ワード指定記憶回路WM1のヒューズ素子WFj1を切断とする。また、ページ記憶判定回路AM1に記憶した置換対象ページアドレスに対応するページデータにおける第nワードが欠陥ワードである場合、ワード指定記憶回路WMnのヒューズ素子WF1nを切断とする。なお、この場合もヒューズ素子の切断は、レーザ光の照射等による溶断

により行う。

【0127】そして、上記アドレスデコーダ110aの出力P1～Paが、上記格納部110のページ記憶判定回路AMjに記憶されている置換対象ページアドレスと一致し、置換ページ選択線RPGjがアクティブとなると、各ワード指定記憶回路WM1～WMnでは、対応するスイッチトランジスタWSj1～WSjnが導通し、これに対応するヒューズ素子WFj1～WFjnのうちの切断されているヒューズ素子（例えば、上記のように、置換ページ選択線RPGjにより指定されるページデータにおける第1ワードが欠陥ワードである例では、切断されているヒューズ素子はWFj1である。）を含むワード指定記憶回路WM1の置換ワード選択線RWD1がアクティブとなる。これにより、置換ページ選択線RPGjにより指定されるページデータにおける第1ワードのデータ置換が可能となる。

【0128】次に上記置換ビット指定格納部140について説明する。図7は上記置換ビット指定格納部の具体的な回路構成を示し、この置換ビット指定格納部140は、上記置換ページ指定格納部110の各置換ページ選択線RPG1～RPGjからのページ指定アドレスに基づいて、記憶している置換ビット指定データ、つまり各置換対象となるメモリセルアレイMA0～MA15を指定するためのデータを、それぞれの置換ビット選択線に出力する複数の置換ビット指定格納回路BM1、…、BMm（m=16）とから構成されている。

【0129】例えば、置換ビット指定格納回路BMmは、内部信号ノード4cと電源との間に接続されたP型ドライブトランジスタ4aと、一端が接地された複数のN型スイッチトランジスタBS1m、…、BSjm（mは16、jはページ記憶判定回路AMjの数）と、該スイッチトランジスタBS1m～BSjmの他端と上記内部信号ノード4cとの間に接続された複数のヒューズ素子BF1m、…、BFjm（mは16、jはページ記憶判定回路AMjの数）とを有している。

【0130】上記P型ドライブトランジスタ4aはそのゲートが接地され、常に導通状態となっており、また上記N型スイッチトランジスタBS1m～BSjmのゲートには、上記置換ページ選択線RPG1～RPGjを介してページ指定アドレスが印加されるようになっている。

【0131】また、上記置換ビット指定格納回路BMmの内部信号ノード4cには、直列接続の2段のインバータ回路からなる出力バッファ4bが接続されており、該出力バッファ4bを介して置換ビット指定データが置換ビット選択線RDnに出力されるようになっている。

【0132】なお、ここでは、置換ビット指定データRDnについてその具体的な構成を説明したが、他の置換ビット指定データRD1、…も、図7に示すようにこれと全く同一の構成となっている。

【0133】次に、上記置換ビット指定格納部140による置換ビット指定データの設定方法について簡単に説明する。

【0134】例えば、ページ記憶判定回路AMjに記憶した置換対象ページアドレスに対応する置換対象ページデータが、第1番目のメモリセルアレイMA0に対応するものである場合、置換ビット指定格納回路BM1のヒューズ素子BFj1を切断する。また、ページ記憶判定回路AM1に記憶した置換対象ページアドレスに対応する置換対象ページデータが第(m+1)番目のメモリセルアレイMAmに対応するものである場合、置換ビット指定格納回路BMmのヒューズ素子BF1mを切断する。なお、この場合もヒューズ素子の切断は、レーザ光の照射等による溶断により行う。

【0135】そして、上記アドレスデコーダ110aの出力が、上記格納部110のページ記憶判定回路AMjに記憶されている置換対象ページアドレスと一致し、置換ページ選択線RPGjがアクティブ（ハイレベル）となると、各置換ビット指定格納回路BM1～BMmでは、対応するスイッチトランジスタBSj1～BSjmが導通し、これに対応するヒューズ素子BFj1～BFjmのうちの切断されているヒューズ素子（例えば、上記のように、置換ページ選択線RPGjにより指定される置換対象ページデータが第1番目のメモリセルアレイMA0に対応するものである例では、切断されているヒューズ素子はBFj1である。）を含む置換ビット指定格納回路BM1の置換ビット選択線RD1がアクティブ（ハイレベル）となる。これにより、置換ページ選択線RPGjにより指定される置換対象ページデータに対応するメモリセルアレイMA0でのデータ置換が可能となる。

【0136】次に動作について説明する。まず、本実施形態1のような冗長回路部101aを搭載したマスクROM101では、所定のメモリセルアレイMAmにおける所定のページに欠陥メモリセルがある場合、まず、置換対象ページを指定する置換ページアドレス（入力アドレスA3～A6、A11～A19に対応するもの）を、置換ページ指定格納部110に記憶させておく。また、置換対象ページにおける欠陥ワード（欠陥メモリセルのデータ）を指定するページ内ワード指定アドレスを、ページ内ワード指定格納部130に記憶させておく。さらに、欠陥メモリセルが存在するメモリセルアレイMAmがデータのどのビットに対応するかを示す、置換ビット指定データを、置換ビット指定格納部140に記憶させておく。また、欠陥メモリセルの属する置換対象バンク領域における各メモリセルに記憶されるべきデータを、バンク領域内の位置（行方向の位置）に対応するアドレス（A7～A10）に応じて、置換セルデータ記憶部120に記憶させておく。

【0137】従って、本実施形態1では、所定のメモリ

セルアレイMA_mにおける、欠陥メモリセルが属する置換対象バンク領域Bk_{rm}(図1参照)は、置換ページ指定アドレス及びページ内ワード指定アドレスにより指定されることとなり、さらに、置換対象となるバンク領域Bk_{rm}が、メモリセルアレイMA0~MA15のいずれのものに属するかは、置換ビット指定データにより特定される。

【0138】次に、ページモードでの読み出し動作、及びこの動作におけるページデータの置換処理について説明する。図8は、ページモードでの読み出し動作の一例を説明するためのタイミング波形図である。また、図9は上記マスクROMにおけるデータ置換動作を説明するための図であり、ページ内ワード指定及びビット指定が行われる様子を示している。

【0139】上記マスクROM101では、時刻t0に入力アドレス信号のアドレスA3~A19の入力が確定すると、所定のページアドレス(h番地)のページデータP(h)が、データD0B_n~D15B_n(n=0~7の整数)として各センスアンプ回路群SAG0~SAG15に読み出される。この場合のメモリセルからのデータの読み出しは、通常のランダムアクセスモードにて行われる。

【0140】すなわち、まず、行アドレス(A7~A19)が確定すると、Xデコーダ13により、マトリクス配置のバンク領域10aのバンク行R1~R512の1つバンク行Rkを選択するバンク選択線BS0, BS1及び、該バンク行Rkのバンク領域におけるワード線WL0~WL15のうちのいずれか1つのワード線WLiが駆動される。ここでは上記バンク選択線BS0, BS1及びワード線WLiの信号レベルは、“High”レベルとなる。

【0141】また、上記行アドレス(A7~A19)の確定とともに、列アドレス(A3~A6)が確定すると、プリカラムデコーダ22により、カラム選択線CS0~CS15の何れか1つのカラム選択線CSjが駆動されて、その信号レベルがアクティブ(“High”レベル)となり、該カラム選択線CSjを入力とするカラム選択トランジスタTCjが“ON”となる(図14参照)。

【0142】これにより、所定のバンク行Rkのバンク領域10aにおける、所定のワード線WLiにつながる複数のメモリセルMmij_nのうちの、所定のページを構成するメモリセルMmij0, Mmij1, ..., Mmij7(m=0~15)が選択され、各メモリセルのセルデータが、ページデータDmB_x(DmB0, DmB1, ..., DmBn, ..., DmB7)(m=0~15)として、カラム選択トランジスタTCjを介して、センスアンプ回路群SAGm(m=0~15)に入力される。

【0143】次に、時刻t1に上記センスアンプ回路群SAGm(m=0~15)からのセンスアンプ出力Dm

S_x(DmS0, DmS1, ..., DmS7)(m=0~15)が確定し、アドレス信号(A3~A19)により指定されたh番地のページデータPD(h)のマルチプレクサ回路MPm(m=0~15)への読み出しを完了する。

【0144】ところで、このようなランダムアクセスの際には、つまり入力アドレスの確定(t0)からセンスセルデータDmS_nの確定(t1)までの期間には、ページ内ワード指定格納部110、ページ内ワード指定格納部130、置換ビット指定格納部140に記憶されている情報に従って、置換セルデータ記憶部120からの置換セルデータRDATが各マルチプレクサ回路MPmに読み出され(時刻Ta)、それがマルチプレクサ回路MPmにより置換対象ページデータの欠陥ワードと置換される。

【0145】つまり、入力アドレスのページアドレス(A3~A6, A11~A19)が置換ページ指定格納部110のページ記憶判定回路AMjに記憶されている置換対象ページアドレスに一致した場合、該ページ記憶判定回路AMjの置換ページ選択線RPGjがアクティブとなり、図9に示すように各メモリセルアレイMA0~MA15にて該当するページP(h)が指定される。そして、置換セルデータ記憶部120、ページ内ワード指定格納部130、及び置換ビット指定格納部140には該置換ページ選択線RPGjからページ指定アドレスが出力される。

【0146】すると、置換セルデータ記憶部120のデータ記憶回路DMjからは、確定した入力アドレスのうちのバンク内位置指定部分(A7~A10)に基づいて、置換セルデータRDATが各マルチプレクサ回路MPm(m=0~15)に出力される。また、ページ内ワード指定格納部130では、該当するワード指定記憶回路WMnの置換ワード選択線RWDnがアクティブとなり、図9に示すように、指定されたページP(h)におけるワードWnが指定される。さらに、置換ビット指定格納部140では、該当する置換ビット指定格納回路BMmの置換ビット選択線RDnがアクティブとなり、図9に示すように、データ置換の対象となるビットのメモリセルアレイMAmが指定される。この結果、該当するマルチプレクサ回路MPmでは、置換ワード選択線RWDn及び置換ビット選択線RDnからの信号に基づいてページデータの所定ワードWnを置換セルデータRDATに置換する。

【0147】また、このとき、ページ用アドレス信号(A0~A2)に応じて、ページモードデコーダ回路32の出力信号P0, P1, ..., P7の何れか1つのみがアクティブ(“High”レベル)となることにより、各セレクト回路SLNm(m=0~15)により、対応するマルチプレクサ回路MPm(m=0~15)からの出力DmW_x(DmW_x: DmW0~DmW7)

($m=0\sim 15$)の何れか1つの出力 $DmWn$ が選択されている。これにより各ビットに対応する出力回路 $OUTm$ ($m=0\sim 15$)の出力端子 DOM に、 h 番地のページデータ $P(h)$ における第1ワード $W0$ 、つまり各ビットに対応するメモリセルアレイ MAm ($m=0\sim 15$)におけるメモリセル $Mmij0$ のデータが出力される(時刻 $t2$)。

【0148】その後、時刻 $t3$ にてページ用アドレス信号($A0\sim A2$)が変化し始めると、各セクタ回路 $SLNm$ では、センスセルデータ $DmSn$ ($n=0\sim 7$)のデータが順次選択され、ページモードデコード回路31の出力信号 $P0\sim P7$ が確定すると(時刻 $t4$)、上記各出力回路 $OUTm$ を介して出力端子 DOM に、 h 番地のページデータ $P(h)$ における第2ワード $W1$ 、つまり各ビットに対応するメモリセルアレイ MAm ($m=0\sim 15$)におけるメモリセル $Mmij1$ のデータが出力される。

【0149】以後、ページ用アドレス信号($A0\sim A2$)が変化してページモードデコード回路32からのセンスアンプ選択信号 $P0\sim P7$ が確定する度に、 h 番地のページデータ $P(h)$ における第3ワード $W2\sim$ 第8ワード $W7$ が、各出力回路 $OUTm$ の出力端子 DOM に出力されることとなる。

【0150】このように、ランダムアクセスによりページデータが確定し、該ページデータの第1ワードが確定した後は、ページ用アドレス信号($A0\sim A2$)の変化開始から所定時間($t4-t3$)経過した時点で、高速読み出しが可能なページモードとなり、メモリセルのデータが高速で出力されることとなる。

【0151】次にページアドレス $A3\sim A19$ が変化すると、再びランダムアクセスモードにより($h+1$ 番地)のページデータ $P(h+1)$ がセンスアンプ回路群 $SAG0\sim SAG15$ に読み出され、この時、入力アドレスのページアドレス($A3\sim A6$, $A11\sim A19$)が置換ページ指定格納部110に記憶されている置換対象ページアドレスに一致した場合には、上記のようにマルチプレクサ回路 MPm によるページデータに対するデータ置換処理が行われる。

【0152】そしてこのページデータ $P(h+1)$ における第1ワードが確定した後は、高速読み出しが可能なページモードとなり、メモリセルのデータが高速で出力されることとなる。

【0153】このように本実施形態では、入力アドレスのページ指定部分が置換ページ指定格納部110の各ページ記憶判定回路 $AM1\sim AMj$ に記憶されている置換対象ページアドレスの1つに一致する場合に、冗長回路部101aの対応するワード指定記憶回路 WMn に記憶されているページ内ワード指定アドレスに従って、置換ワード選択線 $RWDn$ の1つをアクティブ(“High”レベル)にし、置換ビット指定データに従って対応

するデータビットの置換ビット選択線 RDm の1つをアクティブにし、センスアンプ回路群からのページデータ $DmSn$ の該当するワードを置換セルデータ($RDAT$)に置換する。

【0154】これによってページデータの不良ビット(不良ワード)の1つが冗長回路部に記憶されている置換セルデータ $RDAT$ に置換される。

【0155】一般に冗長回路部に記憶できる置換対象ページアドレス及び置換セルデータは、主メモリの容量に比べて、極めて小さいために、救済できる欠陥ビット数は小さく、稀に散在する欠陥ビットを救済するの適している。従って、本実施形態のように1つのページデータ当たり1ビット(ワード)の救済であっても、このような欠陥に対しては十分な効果が得られる。

【0156】また、冗長回路部の置換セルデータ等のアクセス時間をランダムアクセス時の主メモリのアクセス時間より短くすることは容易であり、本半導体記憶装置に本冗長回路部を設けることによるアクセス時間の遅延は生じない。

【0157】また、ページアクセス時には既に確定したセクタ回路 $SLNm$ の入力を入力アドレスのページ内アドレス($A0\sim A2$)に応じて選択し、出力回路 $OUTm$ からページデータを構成する1つデータ(ワード)が出力されるため、このページモードの読み出し時には、出力するデータはすでに確定しており、主メモリ10及び冗長回路部101aからのデータ読み出しは行われない。

【0158】従って、本冗長回路部を設けることによるページアクセス時のアクセス時間の遅延は生じず、冗長回路部を搭載した、高速なページアクセスモードを有する読み出し専用メモリが実現できる。

【0159】さらに、本実施形態では、1つのデータ記憶回路にバンク領域単位で記憶されている複数の置換セルデータは、置換対象ページを構成するデータ(ワード)の1つのみと一致しているので、ランダムアクセス時に、主メモリ部10から置換対象ページデータを読み出し、かつ該置換対象ページデータに含まれる欠陥ワードに対応する置換セルデータを読み出した後、置換対象ページデータの1つのワードを置換するだけで、効率よく欠陥メモリセルの救済を行うことができる。

【0160】なお、上記説明では、マスクROMとしてNOR型マスクROMについて説明したが、マスクROMは、NAND型マスクROMである縦型のROMでもよく、この場合、バンク領域を一連の縦列する所定数のメモリセル群に対して設定することにより、上記実施形態1と同様の効果が得られる。

【0161】(実施形態2)図10は本発明の実施形態2によるマスクROMの構成を説明するための図であり、この実施形態のマスクROMの全体構成とともに、その主メモリ部を構成するメモリセルアレイの詳細な構

成を示している。

【0162】図において、102は、冗長救済方式を採用したページモードを有する本実施形態2のマスクROMであり、入力アドレス信号A0～A19を受け、16ビットの出力データDOを出力する構成となっている。

【0163】このマスクROM102は、実施形態1のマスクROM101における冗長回路部101aに加えて、さらにこれと同一構成の冗長回路部102aを備えている。つまり、この冗長回路部102aは、上記冗長回路部101aの置換ページ指定格納部110、置換セルデータ記憶部120、ページ内ワード指定格納部130、及び置換ビット指定格納部140のそれぞれに対応する記憶部から構成されている。また、本実施形態2のマスクROM102は、実施形態1のマルチプレクサ回路MP0～MP15に代えて、上記冗長回路部101aからの置換セルデータRDAT1及び冗長回路部102aからの置換セルデータRDAT2の一方を選択可能なマルチプレクサ回路MP0'、MP1'、・・・、MPm'、・・・、MP15'を備えている。その他の構成は実施形態1のマスクROM101と全く同一である。

【0164】上記マルチプレクサ回路MP0'～MP15'は、各センスアンプ回路群SAG0～SAG15からのセンスセルデータDOSn～D15Sn（n：0～7の整数）と、上記各冗長回路部101a、102aの記憶部120からの置換セルデータRDAT1、RDAT2とをデータ入力とし、該冗長回路部101a、102aの各格納部130、140の置換ワード選択線RWD1n、RWD2nからのページ内ワード指定アドレス、及び置換ビット選択線RD1m、RD2mからの置換ビット指定データに基づいて、1つの置換対象ページデータ当たり2つのワードまで置換可能な構成となっている。

【0165】図11は上記マルチプレクサ回路の具体的な回路構成を説明するための図であり、例えば、マルチプレクサ回路MPm'は、図11(a)に示すように、センスアンプ回路群SAGm（m=0～15）からのセンスデータDmS0～DmS7（m=0～15）と、冗長回路部101a、102aからの置換セルデータRDAT1、RDAT2との置き換えを行う複数の置換回路MPX0'～MPX7'から構成されている。

【0166】さらに、これらの置換回路の1つである置換回路MPXn'は、図11(b)に示すように、その置換セルデータRDAT0の入力ノード160a0とその出力ノード160cとの間に直列に接続された第1、第2のN型MOSトランジスタ161a、162aと、その置換セルデータRDAT1の入力ノード160a1とその出力ノード160cとの間に直列に接続された第3、第4のN型MOSトランジスタ163a、164aと、そのセンスデータDmSnの入力ノード160bとその出力ノード160cとの間に並列に接続された第

1、第2、第3、第4のP型MOSトランジスタ161b、162b、163b、164bとから構成されている。

【0167】そしてこの置換回路MPXn'では、上記第1のN型及びP型MOSトランジスタ161a、161bのゲートには、上記冗長回路部101aの置換ページ選択線RWD0nが、上記第2のN型及びP型MOSトランジスタ162a、162bのゲートには、上記冗長回路部101aからの置換ビット選択線RD0nが接続されている。また、上記第3のN型及びP型MOSトランジスタ163a、163bのゲートには、上記冗長回路部102aの置換ワード選択線RWD1nが、上記第4のN型及びP型MOSトランジスタ164a、164bのゲートには、上記冗長回路部102aの置換ビット選択線RD1nが接続されている。

【0168】そして、図11(c)の表に示すように、これらの選択線RWD0n、RWD1n及びRD0n、RD1nの信号レベルに基づいて、センスセルデータDmSnをそのまま出力するか、これを上記置換セルデータRDAT0及びRDAT1のいずれかに置き換えて出力するかの切替が行われるようになっている。なお、図11(c)中、DmWn'は、マルチプレクサ回路MPm'の置換回路MPXn'の出力であり、“L”、“H”は、それぞれ選択線RWD0n、RWD1n、RD0n、RD1nの信号レベルがローレベル、ハイレベルであることを示し、“X”は、上記選択線RWD0n、RWD1n、RD0n、RD1nの信号レベルがいずれのレベルでもよいことを示している。

【0169】そして、本実施形態のマスクROM102も、上記実施形態1のマスクROM101と同様、各データビットに対応したマルチプレクサ回路MP0'～MP15'の出力DOWN'～D15Wn'（n：0～7の整数）を選択するセレクト回路SLN0～SLN15を有しており、上記各セレクト回路SLN0～SLN15には、それぞれに対応する出力回路OUT0～OUT15が接続されている。これらの各出力回路OUT0～OUT15は、該セレクト回路SLN0～SLN15により選択された選択データD0～D15に増幅等の信号処理を施して、出力データDO0～DO15として出力する構成となっている。

【0170】次に作用効果について説明する。この実施形態2においても、ページモードでの通常の読み出し動作は、実施形態1のものと同様に行われる。

【0171】そして、本実施形態2では1つの主メモリ部10に対して2つの冗長回路部101a、102aを備えることにより、1つのページデータ当たり2ビット（ワード）までデータ置換を行うことができる。

【0172】つまり、上記実施形態1と同様に、ランダムアクセス時に、入力アドレスのページアドレスが、上記2つの冗長回路部101a、102aのいずれかの置

換ページ指定格納部に記憶されている置換対象ページアドレスに一致した場合、ページ指定アドレスに基づいて置換セルデータ記憶部の置換セルデータをマルチプレクサ回路まで読み出し、対応する冗長回路部におけるページ内ワード指定格納部及び置換ビット指定格納部に記憶されている情報に従って、読み出した置換セルデータをマルチプレクサ回路MPm'によりページデータの所定のワードと置換する。

【0173】このとき、入力アドレスのページアドレスが該冗長回路部の一方の置換ページ指定格納部に記憶されている置換対象ページアドレスの1つに一致する場合、当該冗長回路部、例えば冗長回路部101aは、そのページ内ワード指定格納部に記憶されているページ内ワード指定アドレスに従って置換ワード選択線RWDOnの1つをアクティブ(“High”レベル)にし、さらにその置換ビット指定格納部に記憶されている置換ビット指定データに従って、対応するビットの置換ビット選択線RD0mの1つをアクティブにする。これにより上記マルチプレクサ回路MPm'の該当する置換回路MPXn'では、センスアンプ回路群SAGmからのページデータDmSn(n:0~7の整数)の所定のワードデータWnを、冗長回路部101aからの置換セルデータRDAT0に置換する。

【0174】さらに上記入力アドレスのページ指定部分がもう一方の冗長回路部102aの置換ページ指定格納部に記憶されている置換用ページアドレスの1つにも一致する場合には、同様にセンスアンプ回路群SAGmからのページデータDmSn(n:0~7の整数)の、上記ワードデータWnとは異なるワードデータを、冗長回路部102aからの置換セルデータRDAT1に置換する。

【0175】このように本実施形態2では、1つのページデータ当たり2つのワードデータまで置換することができる。

【0176】

【発明の効果】以上のように本発明によれば、冗長救済方式を採用したページアクセス等の高速アクセスモードを有する半導体記憶装置において、ページアクセス時においてもアクセスタイムの遅れなしに、選択されたページに含まれる欠陥メモリセルの救済を行うことができ、アクセス速度を犠牲にすることなく歩留まりの向上を図ることができる。

【0177】また、不揮発性メモリでは、バンク単位での欠陥が生じる場合が多いため、バンク領域を構成するメモリセルの配列方向とは直交する方向に並ぶメモリセルのセルデータからなるページデータには、欠陥が集中することは少ない。また一般に置換セルデータの容量は主メモリの容量より極めて少ないため、ページデータを構成する多くのワード(個々のメモリセルのセルデータ)に欠陥が生じるような場合は、救済が困難である

が、同一ページデータに多くのワードの置換を許容しなくても、数ワードの置換により、十分な効果が得られることが多い。

【0178】従って、本発明のように、置換セルデータをバンク領域単位で記憶し、データ置換を行うか否かの判定を、置換対象バンク領域と重なるすべてのページに共通する置換対象ページアドレスが入力アドレスの対応する部分と一致したか否かにより行うようにすることにより、欠陥部分の救済を、バンク領域単位で記憶している置換セルデータを用いて集中的に行うことができるとともに、欠陥部分の救済を行うか否かの判定を、欠陥メモリセルの属するバンク領域に重なるページ群単位で効率よく行うことができる。

【図面の簡単な説明】

【図1】本発明の実施形態1によるマスクROMの全体構成を示す図である。

【図2】上記実施形態1のマスクROMにおける主メモリ部を構成するメモリセルアレイの詳細な構成を示す図である。

【図3】上記実施形態1のマスクROMにおけるマルチプレクサ回路を説明するための図であり、図3(a)は、該マルチプレクサ回路の内部構成を示し、図3

(b)は、該マルチプレクサ回路を構成する置換回路の具体的な構成を示し、図3(c)は、該置換回路の入力信号と出力信号と関係を示す動作の説明図である。

【図4】上記実施形態1のマスクROMにおける冗長回路部を構成する置換ページ指定格納部の具体的な回路構成を示す図である。

【図5】上記実施形態1のマスクROMにおける冗長回路部を構成する置換セルデータ記憶部の具体的な回路構成を示す図である。

【図6】上記実施形態1のマスクROMにおける冗長回路部を構成するページ内ワード指定格納部の具体的な回路構成を示す図である。

【図7】上記実施形態1のマスクROMにおける冗長回路部を構成する置換ビット指定格納部の具体的な回路構成を示す図である。

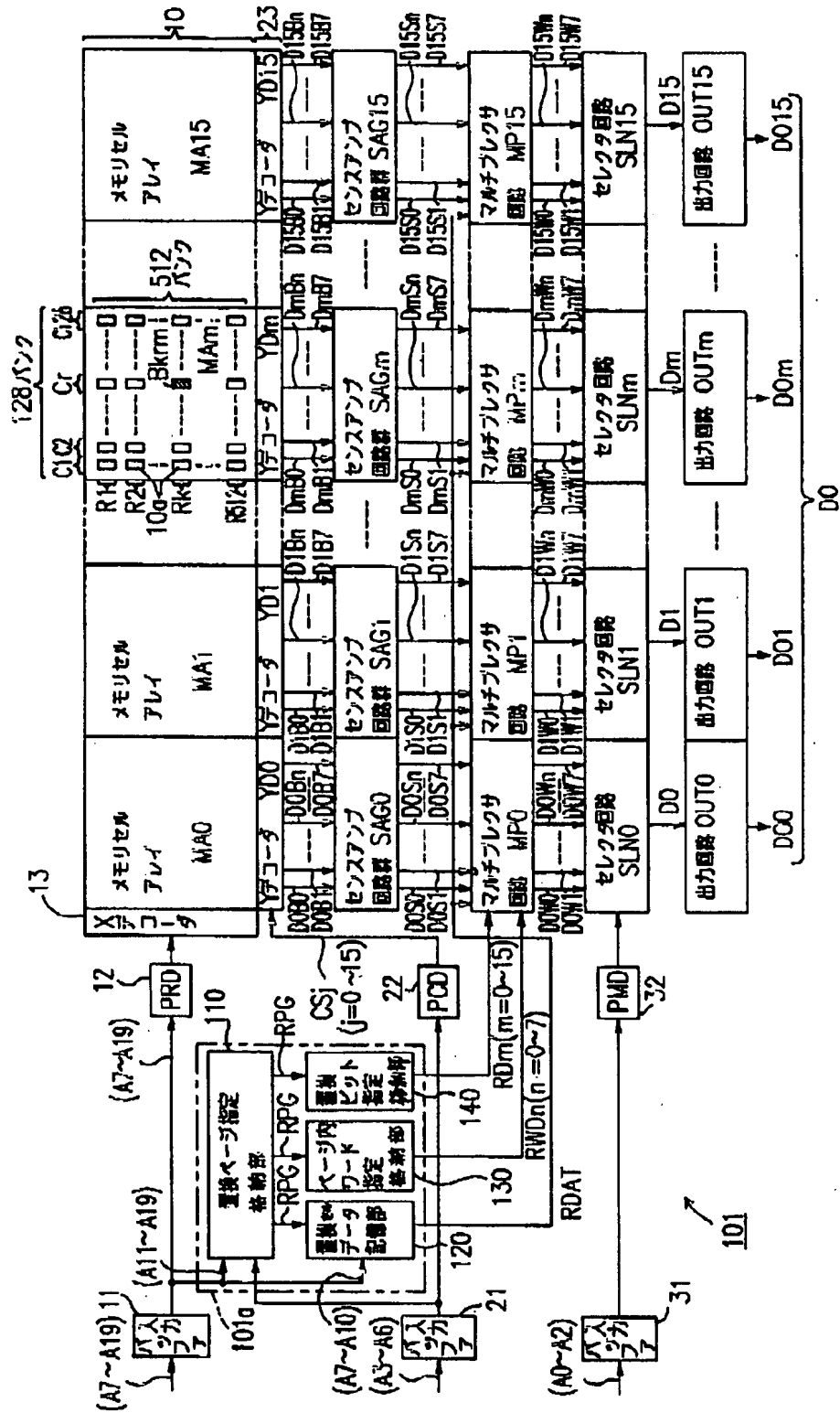
【図8】上記実施形態1のマスクROMにおけるページモードのアクセス動作をタイムチャートを用いて説明するための図である。

【図9】上記実施形態1のマスクROMにおけるデータ置換動作を説明するための図であり、ページ内ワード指定及びビット指定が行われる様子を示している。

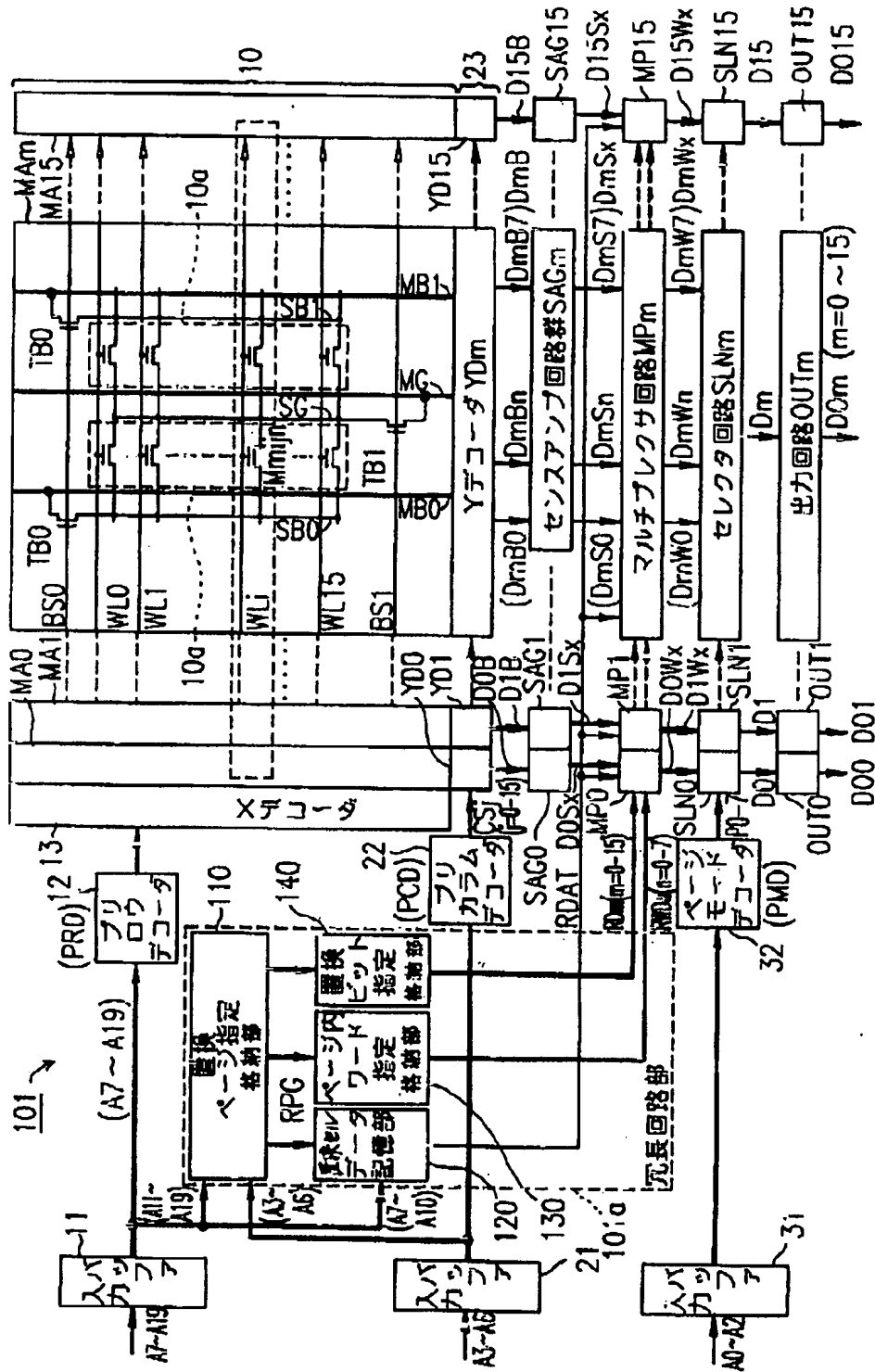
【図10】本発明の実施形態2によるマスクROMの構成を説明するための図であり、この実施形態のマスクROMの全体構成とともに、その主メモリ部を構成するメモリセルアレイの詳細な構成を示している。

【図11】上記実施形態2のマスクROMにおけるマルチプレクサ回路を説明するための図であり、図11(a)は、該マルチプレクサ回路の内部構成を示し、図

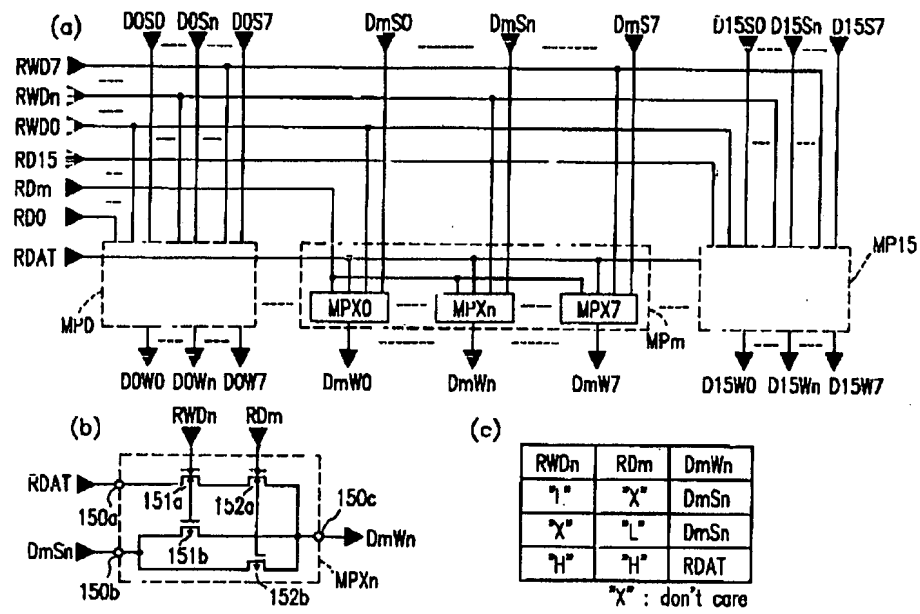
【図1】



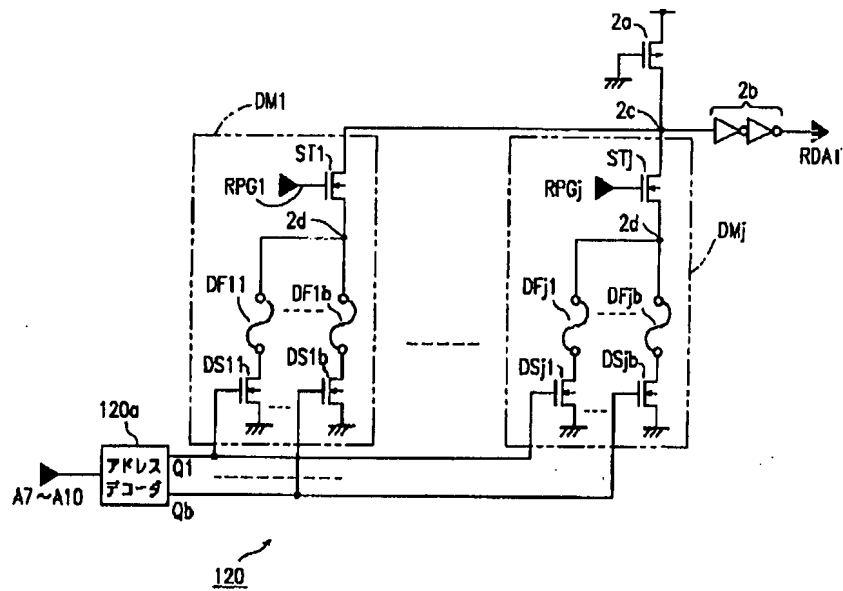
【図2】



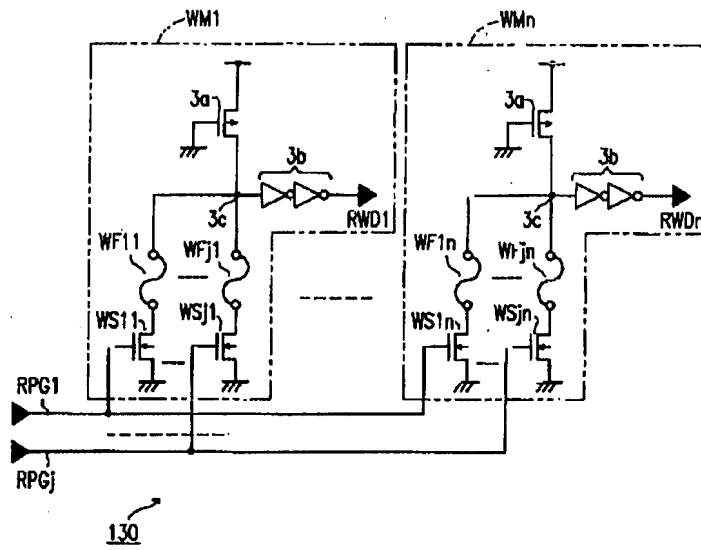
【図3】



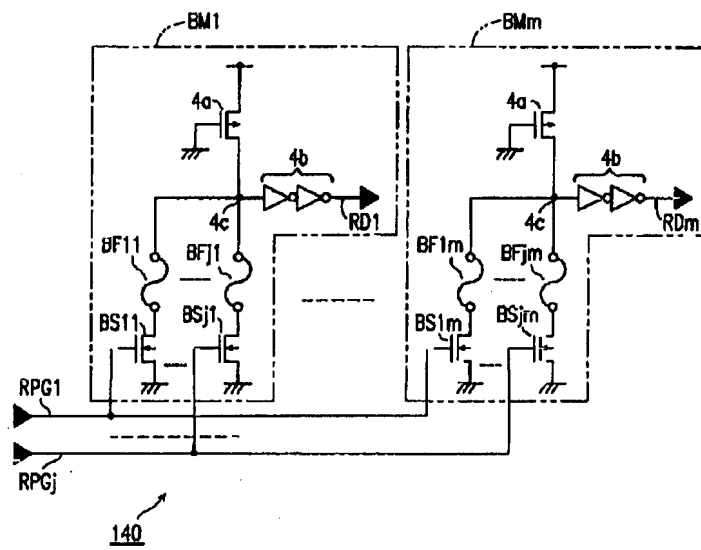
【図5】



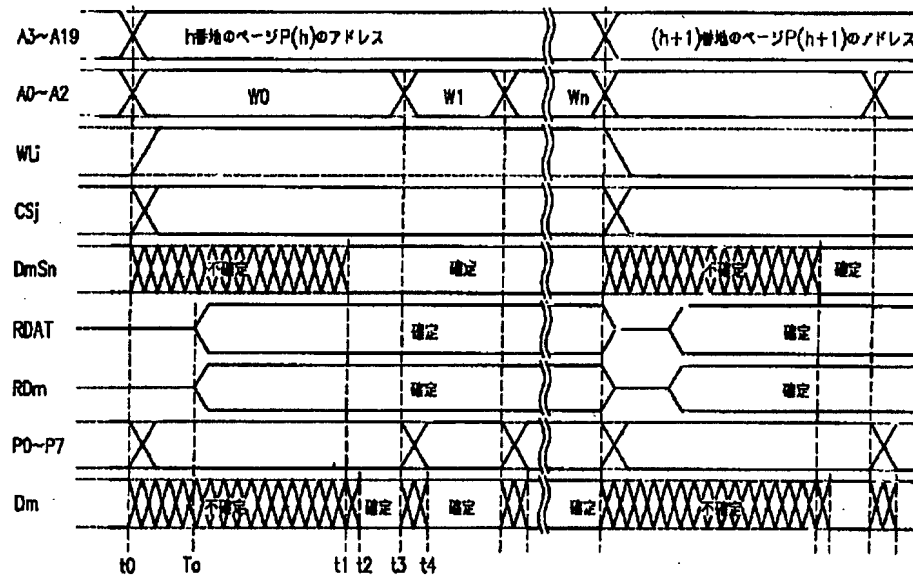
【図6】



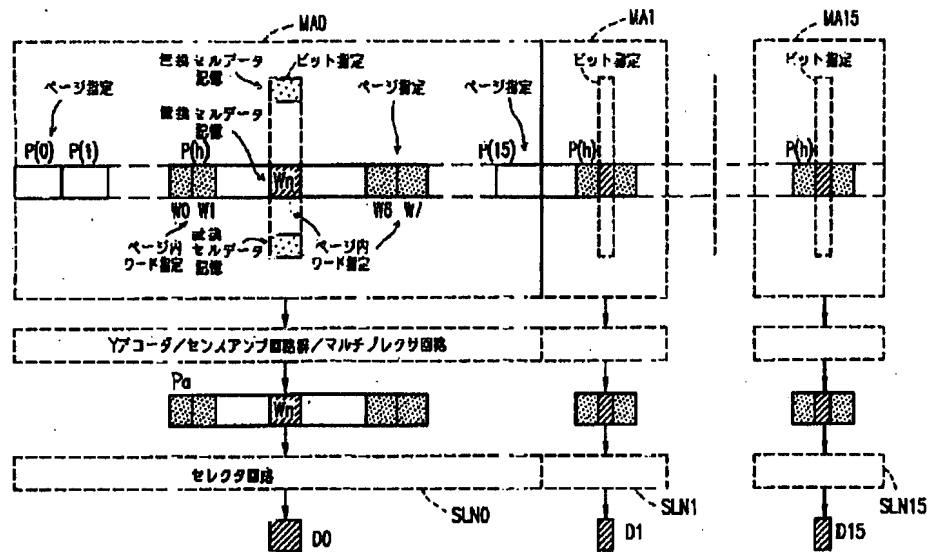
【図7】



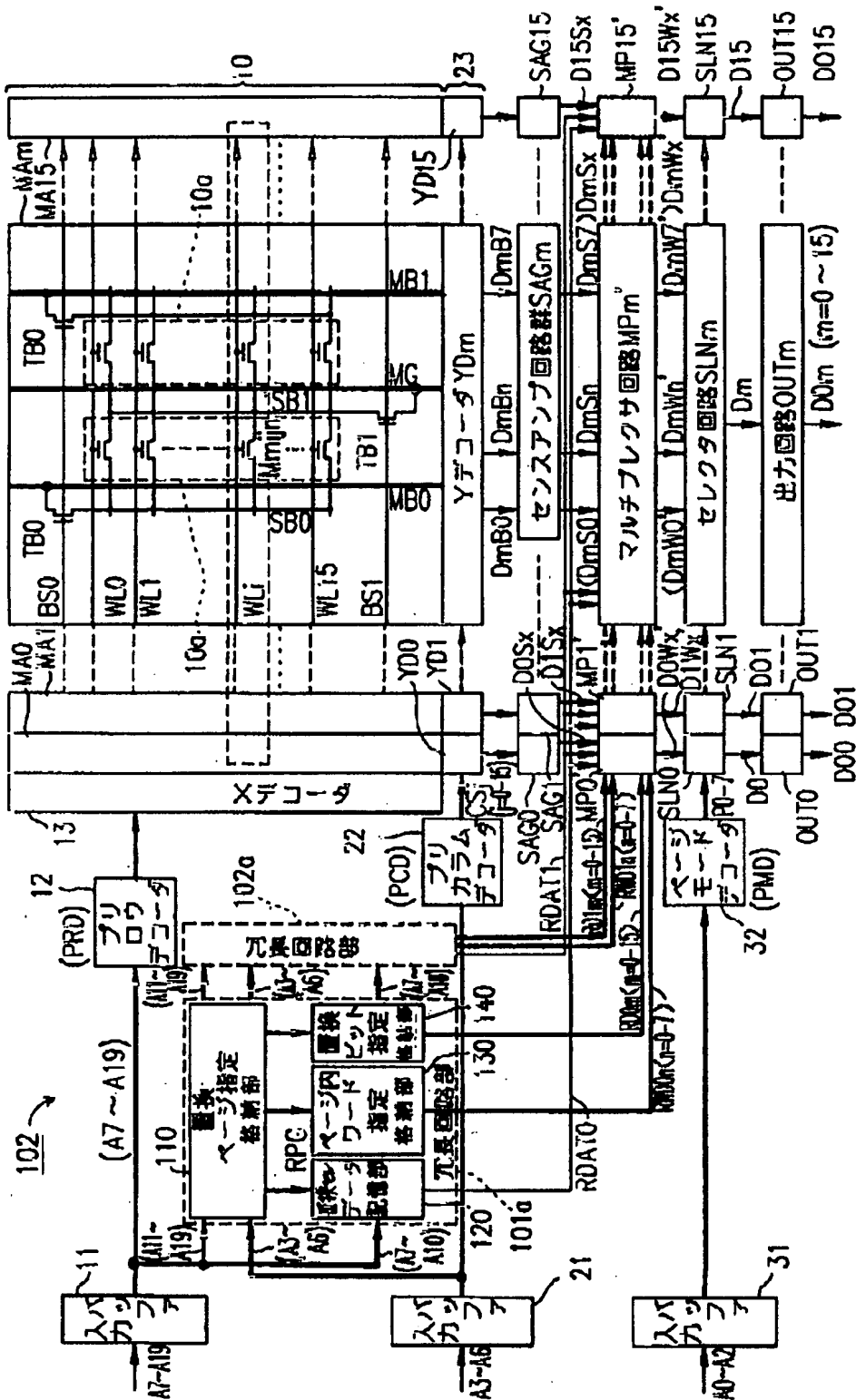
【図8】



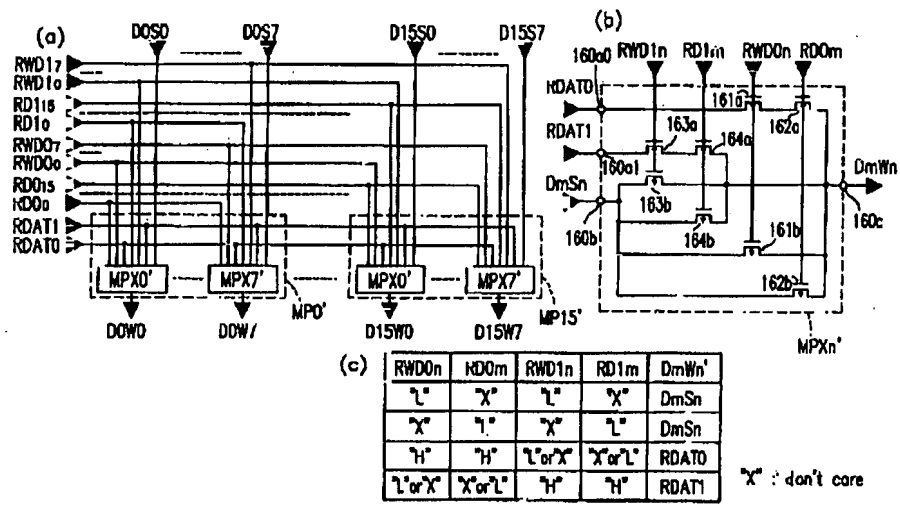
【図9】



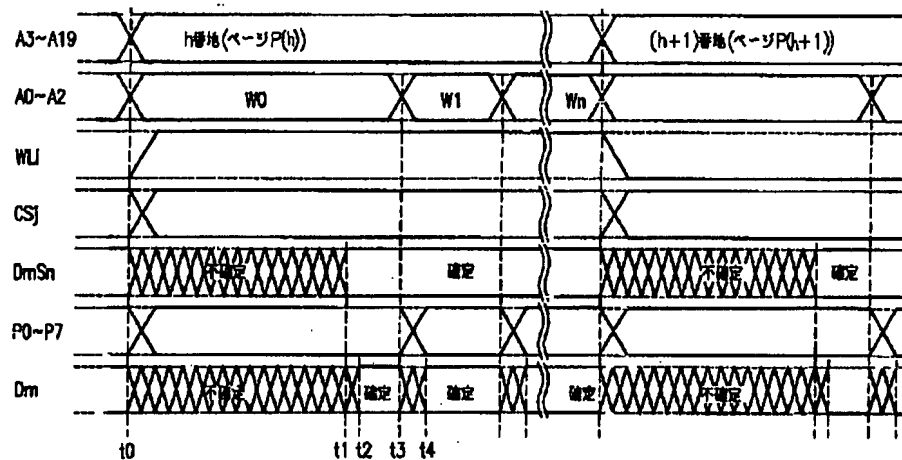
【図10】



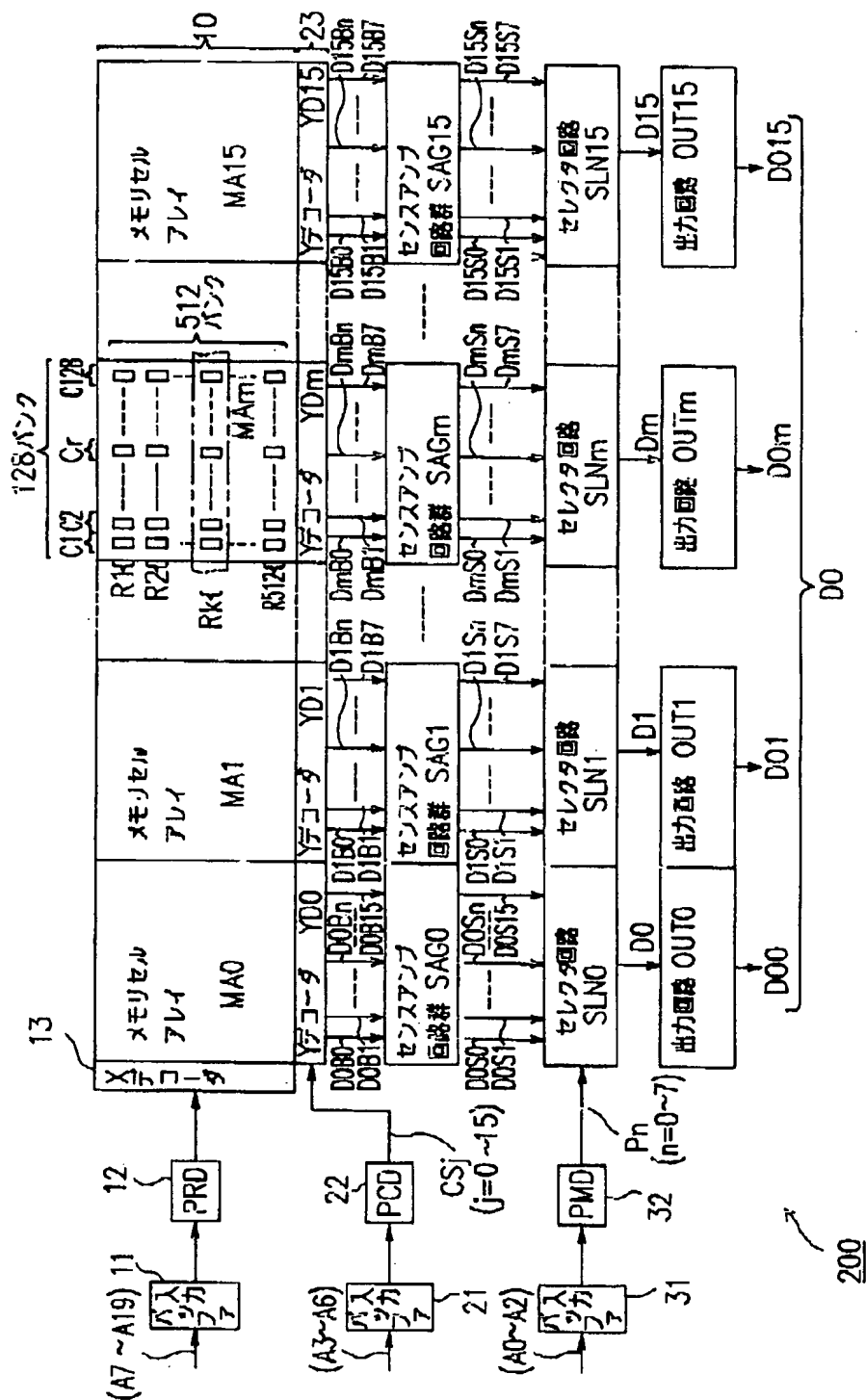
【図11】



【図15】



【図12】



【図17】

